

SÄHKÖTEKNIikka JA ELEKTRONIIKKA

tXt-8 2017, Kimmo Silvonen

Osa VIII, 13.11.2017

1 Kanavatransistorit eli *FET*it

Rinnakkainen komponenttityyppi transistorille on **kanavatransistori** (FET, *field-effect-transistor*). Laajasti ymmärrettynä fettejä voidaan pitää yleisnimityksen 'transistori' alaryhmänä, mutta todellisuudessa fetillä ei ole mitään tekemistä vuonna 1947 keksityn transistorin kanssa. Koska fetissä varauksenkuljettajat ovat joko elektroneja tai aukkoja, mutta ei molempia yhtä aikaa, voidaan puhua *unipolaaritransistorista* erotuksena bipolaaritransistoriin.

Fetit jaetaan valmistusprosessin mukaan kahteen päätyyppiin: **liitoskanavatransistori** (JFET, *Junction-FET*) ja **eristehilatransistori** (MOSFET, *Metal-Oxide-Semiconductor-FET*). Mosfettejä on lisäksi kahta eri tyyppiä: **avauskanavatransistori** (*Enhancement-* eli E-tyyppi) ja **sulkukanavatransistori** (*Depletion-* eli D-tyyppi). JFET muistuttaa toiminnaltaan sulkukanavatransistoria.

Kaikki kolme pääluokkaa voivat vielä erikseen olla n- tai p-kanavaisia vastaten *nnp-* ja *pnp-*transistoreita. Tavallisimpia FET-tyyppiä on siis kuusi erilaista; liitäntäjohtimia on joko kolme tai neljä (taulukko ??). Suomenkieliset nimitykset eivät hilaa lukuun ottamatta ole täysin vakiintuneita, vaikka ovatkin laajalti tunnettuja. Mosfetin *substraatti*-johdin kytketään *diskreetti-* eli **erilliskomponenteissa** yleensä yhteen S:n kanssa.

Taulukko 1. Fettien liitäntäjohtimet.

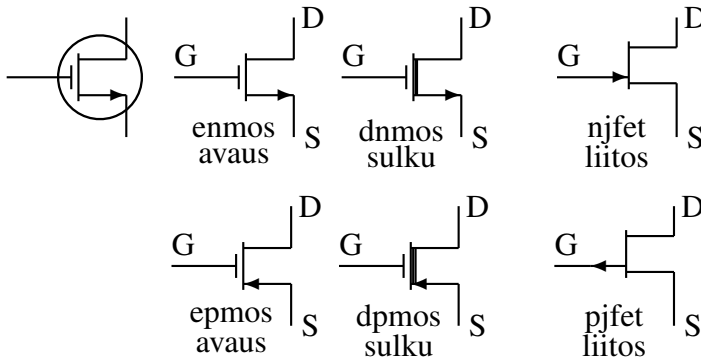
G	D	S	B (vain mosfetillä)
<i>gate</i>	<i>drain</i>	<i>source</i>	<i>body, bulk</i>
hila	nielu (keräin)	lähde, emitteri	runko, alusta, substraatti

Toiminnaltaan, käyttösovelluksiltaan ja ulkonäöltään fetit muistuttavat paljon transistoreita, mutta selviä erojakin on: fettiä ohjataan jännitteellä (tulovirta on nolla), yhtälöt ovat erilaisia (fetillä toisen asteen polynomeja, BJT:llä eksponenttifunktioita), fetin D:n ja S:n saa symmetrian takia vaihtaa (jos B on kytkemättä). Fetin ominaiskäyrät nousevat origosta suoraviivaisesti, kukin omalla kulmakertoimellaan. Aivan päinvastoin kuin transistorilla fetin vakiovirta-alueutta kutsutaan kyllästysalueeksi.

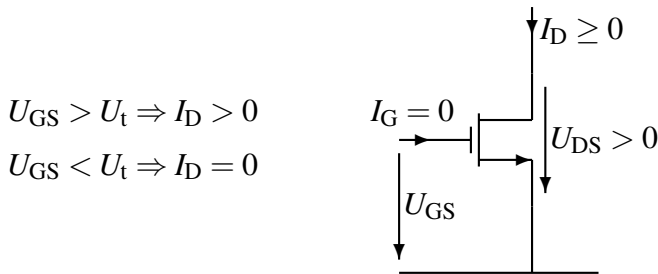
Kuvassa ?? on kuuden tärkeimmän FET-tyypin piirrosmerkit (kolme ensimmäistä ovat n-kanavaisia ja kolme jälkimmäistä p-kanavaisia). Piirrosmerkki voi olla ympyröity, kuten *npn*- ja *pnp*-transistoreilla. Fettien piirrosmerkit antavat myös viitteitä komponentin käytännön toiminnasta. Paksu viiva kuvaa sulkukanavatransistorissa kanavaa, joka on olemassa jo lepotilassakin (toisin kuin avauskanavatransistorilla). Mosfetin hila on eristetty (vrt. kondensaattoria muistuttava rako). S-elektrodin nuoli osoittaa virran suuntaan; virta kulkee n-kanavaisella fetillä D:ltä S:lle ja p-kanavaisella vastakkaiseen suuntaan.

Fettiä ohjataan jännitteellä U_{GS} — hilalla ei kulje virtaa, mikä tekee käytöstä yksinkertaista. N-kanavaisen avauskanavatransistorin (ENMOS-FET) jännitteet U_{GS} ja U_{DS} ovat aina positiiviset. Ohjausjännitteen tulee ylittää kynnysjännite U_t (*threshold*, kuva ??), jotta virta $I_D = I_S$ alkaa kulkea. Mitä suurempi ohjausjännite, sitä suurempi virta; riippuvuus ei kuitenkaan ole suoraviivaista, vaan ominaiskäyrä muistuttaa paraabelin puolikasta. Virran voi katkaista kokonaan asettamalla ohjausjännitteen nolllaksi tai ainakin alle kynnysjännitteen.

Muiden fettityyppien toiminta on periaatteessa samanlaista, mutta jännitteiden etumerkeissä ja epäyhtälöiden "suunnissa" on eroja. Samat matemaattiset yhtälöt toimivat muuttumattomina kaikille fettityypeille — negatiivisen jännitteen miinusmerkin kumoaa yhtälössä aina toinen miinusmerkki.



Kuva 1. Kuusi tärkeintä kanavatransistorityyppiä. Nuoli osoittaa j-fetillä pn -liitoksen suuntaa, muilla virran suuntaa. CMOS-piireissä on n- ja p-kanavaisia avauskanavatransistoreita; näitä edelsivät "puhtaat" NMOS- ja PMOS-teknikat. Erilliskomponenteissa piirretään tyypillisesti rengas piirrosmerkin ympärille.



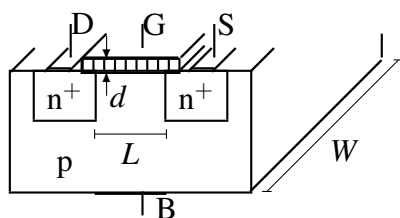
Kuva 2. Kynnysjännitteen U_t merkitys. N-kanavaisen fetin virta alkaa kulkea kynnysjännitettä suuremmalla ohjausjännitteellä U_{GS} . P-kanavaisella fetillä ohjausjännitteen tulee olla kynnysjännitettä negatiivisempi — silti se voi joissain tapauksissa olla positiivinen.

1.1 Avauskanavatransistori, e-tyyppinen mosfet

Tämä on ainoa FET-tyyppi, joka kuuluu kurssivaatimuksiin!

Yleisin FET-tyyppi on n-kanavainen avauskanavatransistori **enmos** (*enhancement*-tyyppi). Se on **NMOS**-mikropiirien tärkein yksittäinen rakenneosa, mutta fettejä on tietysti saatavana myös erilliskomponentteina. Yleisemmissä **CMOS**- (*complementary MOS*) mikropiireissä esiin-

tyy edellä mainitun ohella lähes yhtä yleisenä vastaava p-kanavainen **ep-mos**. Mosfettien etuna on suuri pakkaustiheys ja se, että niillä voidaan toteuttaa myös vastuksia, kytkimiä ja kondensaattoreita. Mosfetin keksivät Bell Labsin tutkijat egyptiläinen Muhammad M. (John) Atalla ja eteläkorealainen Dawon Kahng, 1960. Vietimme tällä kurssilla v. 2010 MOS-FETin 50-vuotisjuhlia — tietääkseni ainoana maailmassa!



Kuva 3. Avauskanavatransistorin (n-kanavainen) periaatekuva. W ja L ovat hilan leveys ja pituus. Huomaa, että pituus mitataan kanavan suuntaisesti eli "leveys-suunnassa". Korkeus d on SiO_2 -eristekerroksen paksuus.

E- eli *enhancement*-tyyppisen fetin rakenne on esitetty kuvassa ?? . Kuvassa raidoitettu alue on **piidioksidia** (SiO_2); paksulla mustalla viivalla merkityt elektrodit ovat joko metallia tai **polysilikonia**. Polysilikoni on pienistä piikiderakeista koostuva epähomogeeninen materiaali toisin kuin puolijohdeteollisuudessa tavallisempi yksikiteinen pii, jonka kiderakenne on tasalaatuinen. Merkintä n^+ tarkoittaa vahvasti seostettua n-tyyppistä puolijohdemateriaalia. Atalla päätyi juuri piidioksidin käyttöön eristeenä sen valtavan *sähkölujuuden* takia; käytännön sovellukset vaativat hilan alle niin suuria sähkökentän voimakkuuksia, että useimmat muut eristeet eivät tässä kestäisi.

Koska mosfetin hila (G) on eristetty kanavasta *piidioksidikerroksella*, sen virta on erittäin pieni, suuruusluokaltaan noin 10^{-15} A. Pientaajuusalueella oletetaan yleensä, että $i_G = 0$. Eristekerroksen paksuus d on jopa alle $0,1 \mu\text{m}$ — uusimmissa mikropiireissä vain $0,9 \text{ nm}$. Mosfettiä kutsutaankin joskus eristehilatransistoriksi (IGFET, *insulated-gate-FET*). Suurilla taajuuksilla mm. fetin kotelosta ja liitäntäjohtimista johtuvat hajakapasitanssit ja hajainduktanssit aiheuttavat sen, että hilavirta ei signaalitaajuudella enää ole nolla; fetin tuloimpedanssi ei siis tällöin enää ole ääretön. RF-alueen BJT- ja FET-vahvistimissa oleellinen kysymys onkin tämän impedanssin sovittaminen eli "kompensointi" halutulla taajuuskaistalla — vieläpä niin, että piiri ei ala toimia oskillaattorina jollain muulla taajuudella; myös läh-

töimpedanssi vaatii suurilla taajuuksilla aina sovittamista.

Hilan pituus L on tyypillisesti $1 \dots 10 \mu\text{m}$ (VLSI-piireissä alle $0,2 \mu\text{m}$) — usein tietylle valmistusprosessille vakio (vrt. esim. 32 nm :n prosessi, jossa hilan pituus on Intelin mukaan noin 30 nm). Hilan leveyttä W säättämällä voidaan fetin virta asettaa sopivaan suuruusluokkaan. W vaihtelee tavallisesti välillä $2 \dots 500 \mu\text{m}$. Koska rakenne on täysin **symmetrinen** toisin kuin bipolaaritransistorilla, voidaan D ja S vaihtaa keskenään. Tasajännitteen U_{DS} suunta määrää, kumpi niistä on kumpi.

Avauskanavatransistorilla ei ole lepotilassa kanavaa. Reitti D–S sisältää tällöin kaksi vastakkaisuuntaista pn^+ -liitosta (\approx diodia), joten virta i_{D} ei pääse kulkemaan. D:n ja S:n välinen resistanssi on täten hyvin suuri: $r_{\text{DS}} \approx 10^{12} \Omega$, kun $u_{\text{GS}} = 0$. Jännitteen u_{GS} suurentaminen pienentää resistanssia, mutta virta alkaa selvästi kulkea vasta tietyllä **kynnysjännitteellä** U_{t} (*threshold*). Piirien käyttöjännitteiden yhä pienentyessä on alettu tutkia fettien käyttöä kynnysjännitteen alapuolella ns. *subthreshold*-alueella, missä virratkin ovat todella pieniä. Tällöin diodin eksponenttikäyrä tulee uudestaan kuvioihin mukaan.



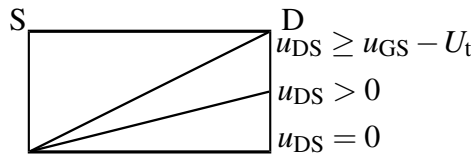
Kuva 4. Tyhjennysalueen muodostuminen ja kanavan syntyminen n-kanavaisessa avauskanavatransistorissa. Positiivinen hilajännite hylkii hilan alla olevia positiivisia varauksia ja toisaalta vetää puoleensa n^+ -alueiden vapaita elektroneja.

Tyhjennysalueen muodostumista ja kanavan syntyä esittää kuva ???. Hilan positiivinen jännite hylkii positiiviset varaukset (aukot, +) *body* kohti. Hilan alle ja n^+ -alueiden ympärille syntyy tyhjennysalue (*depletion region*), jossa ei ole vapaita varauksenkuljettajia. Toinen kuva osoittaa miten positiivinen hilajännite vetää n^+ -alueen negatiivisia varauksenkuljettajia (elektroni, -) puoleensa. Kun u_{GS} saavuttaa kynnysjännitteen U_{t} , muodostuu D:n ja S:n väliin yhtenäinen kanava. Hilan alle syntyy ns. **inversioerros**¹: p-tyyppinen puolijohde muuttuu n-tyyppiseksi (pn^+ -liitokset

¹Säätieteessä inversioerros tarkoittaa kylmemmän ilmakehän päällä olevaa läm-

tavallaan häviävät). Vakio U_t ei ole mikään piirin jännitteistä, vaan u_{GS} :n kynnysarvo. Hilajännitteen aiheuttama sähkökenttä välillä G–B säätelee virran suuruutta kanavassa. MOS-transistorin hilan ja bodyn väliin muodostuu siis kondensaattori.

Edellä oletettiin yksinkertaisuuden vuoksi, että $u_{DS} = 0$ (koska D ja S ovat maadoitettuja). Kun u_{DS} on suurempi kuin nolla, muuttuu tyhjennysalueen ja kanavan muoto (kanava jää kuvassa ?? olevan vinon pohjaviivan yläpuolelle).



Kuva 5. Kanavan yksinkertaistettu muoto jännitteen u_{DS} funktiona. Vино viiva kuvaa kanavan pohjaa.

Jännitteen u_{DS} kasvaessa kanava kuroutuu drain-puolelta lähes umpeen. Virran luulisi silloin pienenevän, mutta todellisuudessa virta saavuttaa suuremman jännitteen takia maksiminsa samalla, kun kanava on kokonaan kuroutunut. Virta siis *kyllästyy* suurimpaan arvoonsa jännitteen noustessa rajan $u_{DS} = u_{GS} - U_t$ yläpuolelle. Kanavan muoto ei myöskään enää tämän rajan yläpuolella muutu merkittävästi.

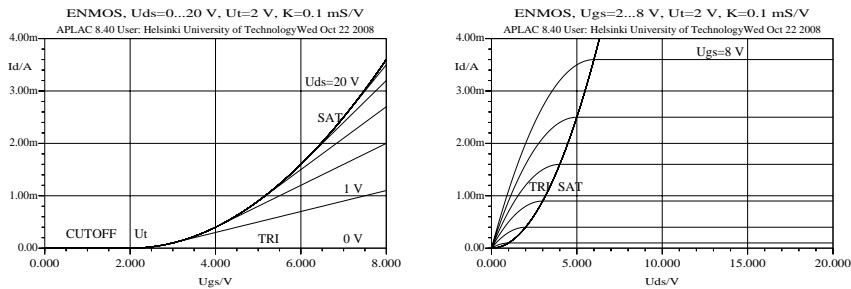
Fetillä sanaa *kyllästyminen* käytetään aivan eri merkityksessä kuin bipolaaritransistorilla, vaikka fetin ja transistorin ominaiskäyrät ovat muoltiaan lähes identtiset. Kyllästysalueella fetin toiminta on lineaarisinta (vrt. transistori ominaiskäyrien vaakasuorilla osilla). Koska "umpeen kuroutuminen" saavutetaan silloin, kun u_{DS} ja u_{GS} ovat U_t :n päässä toisistaan, kutsutaan U_t :tä joskus *pinch-off*- eli **kuristusjännitteeksi** ($U_t = U_P$). Enmos-transistorin U_t on aina positiivinen, yleensä noin 1...3 V. P-kanavaisen avauskanavatransistorin (epmos) U_t on negatiivinen.

1.2 Avauskanavatransistorin ominaiskäyrät

Kuva ?? esittää tyypillisiä avauskanavatransistorin **ominaiskäyriä** eli virtaa I_D jännitteiden U_{GS} ja U_{DS} funktiona *triodi*- ja *saturaatio*-alueilla.

pimämpää ilmakerrosta.

Feteille voidaan piirtää samanlainen **käyräparvi** kuin bipolaaritransistoreille. Käyrien parametrina on kantavirran sijaan jännite u_{GS} . Oikeanpuoleisen käyrän nousevat kaaret (triodialue) ovat ylösalaisin olevan paraabelin osia. Triodi- ja kyllästys- eli saturaatioalueiden rajalla, joka on myös paraabelin muotoinen, käyrät kääntyvät lähes vaakasuoraan. Katkoviiva erottaa oikeanpuoleisessa kuvassa **triodi-** ja **saturaatioalueet** toisistaan. Näitä kutsutaan myös **ohmiseksi alueeksi** ja **vakiovirta-alueeksi**. Varsinainen ohminen alue on triodi-alueen alkuosa, jossa virta on lähes suoraan verrannollinen jännitteeseen u_{DS} . Vasemmanpuoleinen käyrä on kyllästysalueella muodoltaan paraabeli, mutta pienillä u_{DS} :n arvoilla eli triodialueella suora; triodi- ja saturaatioalueiden raja ei siinä näy selvästi.



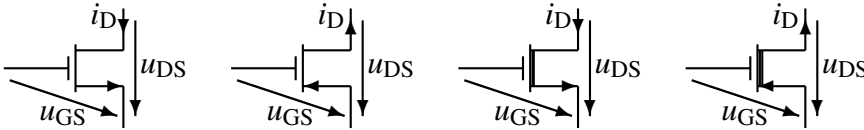
Kuva 6. Erään avauskanavatransistorin ominaiskäyrät. Käyttämäni lyhenne SAT tarkoittaa saturaatio- eli kyllästysaluetta (vakiovirta-alue). TRI tulee sanasta *triodi* (alunperin 3-elektrodinen elektroniputkityyppi). Vasen käyrä (virta i_D u_{GS} :n funktiona) on lähes suora pienillä u_{DS} :n arvoilla, mutta muuttuu selvemmin paraabeliksi suuremmilla jännitteillä. Oikealla: virta i_D kasvaa u_{DS} :n funktiona ensin suoraviivaisesti, mutta kääntyy lopulta vaakasuoraan.

1.3 Fettien virtayhtälöt, triodi- ja saturaatioalue

Virran i_D yhtälöt ovat kertoimen K kaavaa lukuun ottamatta samat kaikille kuudelle FET-tyypille. Virtayhtälöistä ja niiden valintaa säätelevistä ehdoista on yhteenvedo kyhäämässäni tiedostossa *dtf.pdf*, joka löytyy Googlella.

Kun $u_{GS} \leq U_t$, on n-kanavainen FET **sulkutilassa** (*cutoff*); virta i_D ei siis kulje. Kaava pätee kynnysjännitteen etumerkistä riippumatta, mutta p-kanavaisissa tapauksissa tässä ja muissa epäyhtälöissä vertailuoperaattori (\geq , \leq) on aina toisin päin. Mikäli FET ei ole sulkutilassa, se johtaa ja on siis joko triodi- tai saturaatio- eli kyllästysalueella.

Johtavuustila jakaantuu triodi- ja saturaatio- eli kyllästysalueeseen. N-kanavainen FET on kyllästysalueella, kun $u_{DS} \geq u_{GS} - U_t$, ja triodialueella, kun $u_{DS} \leq u_{GS} - U_t$ (kuva ??). Rajakohta voidaan lukea yhtä aikaa molempiin alueisiin kuuluvaksi. Myös triodialueella u_{DS} on kuitenkin n-kanavaisilla feteillä aina positiivinen. P-kanavaisilla feteillä jännitteet ja epäyhtälöt ovat jälleen päinvastaiset. Huomaa, että kaikki fettien virtayhtälöt pätevät muuttumattomina, vaikka jännitteet olisivat negatiivisia, koska kahden miinusmerkin tulo ei muuta etumerkkiä!



Kuva 7. Fettien jännitteiden ja virtojen määrittely. Kaikki virrat ovat positiiviset, mutta p-kanavaisten fettien u_{DS} on negatiivinen. Jännitenuolten suunnat määräytyvät alaindeksien järjestyksestä. Virrallisella **avauskanavatransistorilla** u_{GS} on aina positiivinen n-kanavaisena ja aina negatiivinen p-kanavaisena. **Sulkukanavatransistoreilla** u_{GS} voi olla positiivinen tai negatiivinen.

Triodialueella, joka on saanut nimensä samannimisestä **elektroniputkesta**, virtaa ja jännitettä yhdistää yhtälö:

$$i_D = K[2(u_{GS} - U_t)u_{DS} - u_{DS}^2] \quad \text{triodialue} \quad (1)$$

missä kerroin K on mm. fetin mitoista riippuva johtavuusparametri.

Kyllästys- eli **saturaatioalueella** yhtälö on yksinkertaisempi, koska virta ei enää riipu jännitteestä u_{DS} :

$$i_D = K(u_{GS} - U_t)^2 \quad \text{saturaatioalue} \quad (2)$$

Edellä oleva funktio kiteyttää fetin toiminnan vahvistimena samalla tavalla kuin kaava $i_C = \beta i_B$ transistorilla. Feteillä virtavahvistusta ei voi määrittellä, koska $i_G = 0$. Kyllästys- ja triodialueen rajalla molemmat yhtälöt antavat saman virran:

$$i_D = Ku_{DS}^2 \quad \text{kun} \quad u_{DS} = u_{GS} - U_t \quad (3)$$

Yhtälöiden kertoimet riippuvat fetin tai tarkemmin sanottuna kanavan mekaanisista mitoista:

$$K = \frac{1}{2} \mu_{COX} \frac{W}{L} = k \frac{W}{L} = \frac{1}{2} k' \frac{W}{L} \quad (4)$$

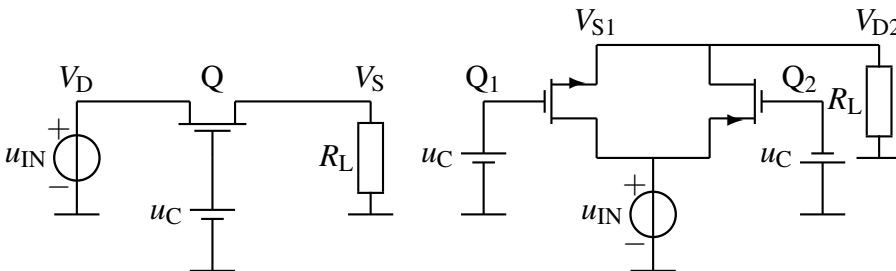
$$k' = \mu C_{OX} = 2k \quad (5)$$

$$C_{OX} = \frac{\epsilon_r \epsilon_0}{d} \quad (6)$$

missä **johtavuusparametri** $K \approx 10 \dots 500 \mu\text{A}/\text{V}^2$ voidaan laskea **prosesiparametrin** k tai **transkonduktanssiparametrin** k' avulla. C_{OX} on **oksidikapasitanssi** pinta-alayksikköä kohti, joka lasketaan tarvittaessa tasokondensaattorin kaavalla. Puhtaan piidioksidin suhteellinen permittiivisyys on $\epsilon_r = 3,9$, mutta kapasitanssin pienentämiseksi käytetään esimerkiksi hiilellä seostettua piidioksidia, jonka suhteellinen permittiviteetti on vain hieman yli kaksi. Kerroin μ on joko $\mu_n = \mu_e$ (**elektronien liikkuvuus**) tai μ_p (**aukkojen liikkuvuus**) riippuen siitä, onko kyseessä n- vai p-kanavainen FET. Tavallisesti $\mu_n \approx 1350 \text{ cm}^2/(\text{Vs})$ ja $\mu_p \approx 480 \text{ cm}^2/(\text{Vs})$. Elektronien ja aukkojen liikkuvuuden yksikkö on siis neliösenttiä voltisekunnissa. Koska suurempi liikkuvuus merkitsee yleensä nopeampaa toimintaa ja suurempia virtoja tietyllä **aspektisuhteella** $\frac{W}{L}$ (*aspect ratio*), ovat n-kanavaiset fetit parempia ja siten myös yleisempiä kuin p-kanavaiset. Parametrit k ja k' liittyvät mosfetteihin.

1.4 FET kytkimenä

Elektroniset kytkimet jaetaan kahteen pääryhmään: **analogiset** ja **digitaaliset kytkimet**. Esimerkiksi JA-porttia voidaan käyttää digitaalisena kytkimenä; se siirtää tuloavasta lähtöön ainoastaan tiedon loogisesta ykkös- tai nolatilasta. Mitään tietoa ei siirry, jos kytkimen ohjaus (toinen tulo-apa) on nolatilassa. Analoginen kytkin siirtää lisäksi tiedon jännitteen suuruudesta, kuten mekaaninen kytkin. Analogisessa kytkimessä ei täten saisi muodostua jännitehäviötä kytkimen ollessa kiinni. Se toimii tietysti tarvittaessa myös digitaalisena kytkimenä.



Kuva 8. Kaksi tavallista FET-kytkintä: **NMOS-kytkin** ja **CMOS-siirtoportti**.

CMOS-kytkimeen on merkitty fettien nuolet vastaten positiivista tulojännitettä. Negatiivisella tulojännitteellä D ja S vaihtavat paikkaa. NMOS-kytkimen D on vasemmalla, jos $u_{IN} > 0$.

Feteillä on kytkiminä monia etuja bipolaaritransistoriin verrattuna. Mm. kytkimen jännitehäviö on mahdollista tehdä paljon pienemmäksi (transistorilla on vaikea alittaa 0,1 voltin arvoa). Lisäksi fetit toimivat positiivisilla ja negatiivisilla jännitteillä yhtä hyvin, koska D ja S voidaan vaihtaa keskenään. Bipolaaritransistorissa tasajännitteen suuntaa ei käytännössä voi kääntää. Kuva ?? esittää yhdellä fetillä (NMOS) ja kahdella fetillä (NMOS + PMOS = CMOS) toteutettua kytkintä. Kuormavastus R_L symboloi laitetta, johon signaali u_{IN} viedään kytkimeltä.

Ohjausjännitteelle u_C riittää kaksi arvoa, joilla kytkin ohjataan kiinni tai auki. Koska kytkimen jännitehäviö on hyvin pieni, on u_{DS}^2 likimain nolla. Tällöin virran yhtälö yksinkertaistuu kätevästi:

$$i_D = K[2(u_{GS} - U_t)u_{DS} - u_{DS}^2] \approx 2K(u_{GS} - U_t)u_{DS} \quad (7)$$

Myös U_{GS} :ää laskettaessa voidaan usein olettaa, että $V_S \approx V_D$. NMOS-kytkimen "on-resistanssi" on tietysti

$$r_{ON} = r_{DS} = \frac{u_{DS}}{i_D} \quad (8)$$