



Aalto University  
School of Electrical  
Engineering

# ELEC-C3240 Elektronikka 2

Luento 10  
Logiikkaportit

01/25/19

# Sisältö ja alustava aikataulu (periodi IV)

## 6. Luento

Lukujärjestelmät

Perusteet

## 7. Luento

Loogiset operaatiot ja boolean algebra

Alkeismenetelmät ja käsitteet

## 8. Luento

Karnaugh'n kartat

Peruspiirien suunnittelu alkeismenetelmiä käyttäen

## 9. Luento

Tilakoneet

Monimutkaisten kokonaisuuksien luominen

## 10. Luento

Logiikkaporttien CMOS-toteutukset

Transistoritason suunnittelu

# Luennon 10 oppimistavoite

- Tietää CMOS-invertterin rakenteen. (0,25h)
- Ymmärtää CMOS-invertterin staattinen toiminta. (0,5h)
- Ymmärtää käsitteet “etenemisviive”, nousuaika, “laskuaika”, ja “häiriömarginaali”. (0,5h)
- Osaa johtaa CMOS invertterin etenemisviiveen yksinkertaistetun mallin ja laskea etenemisviiveen tällä mallilla. (0,25h)
- Tietää CMOS-invertterin dynaamiseen toimintaan vaikuttavien kapasitanssien olemassaolo. (0,25h)
- Osaa laskea arvion CMOS-piirin tehonkulutukselle kuormakapasitanssin, vaihtelutaajuuden, ja käyttöjännitteen funktiona. (0,25h)
- Osaa muodostaa transistoreista loogisen logiikkaportin (1h)

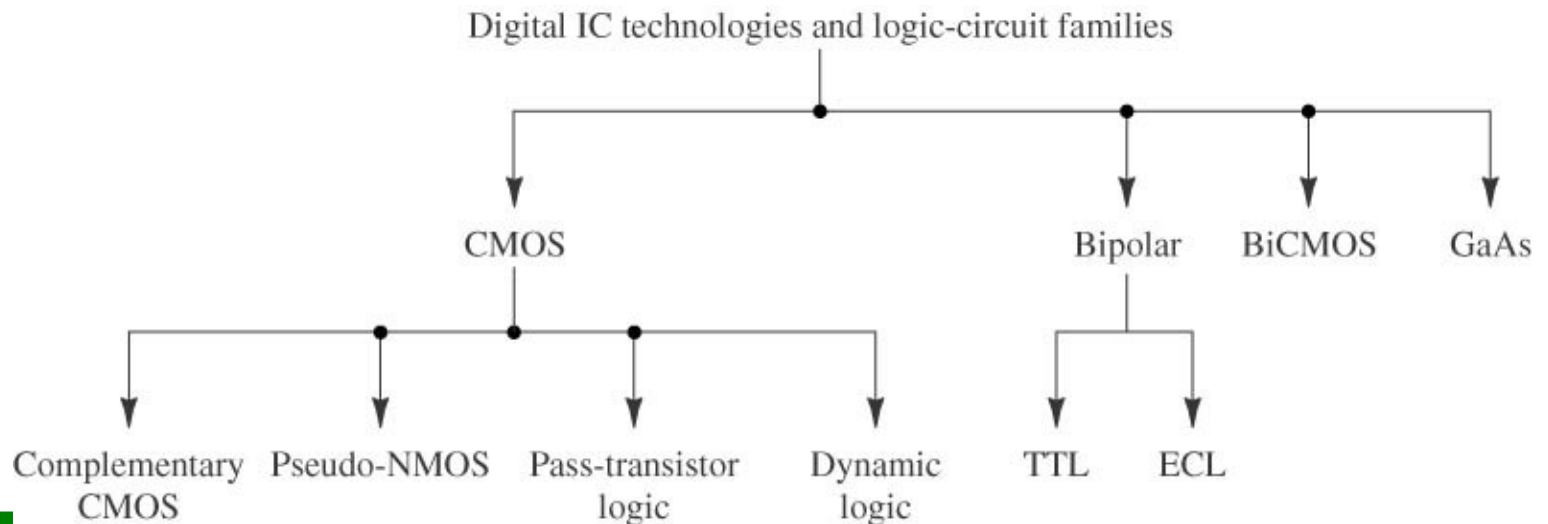
Mitoitus:  $2+2+2+3=9$ h

# Luennon pääkohdat

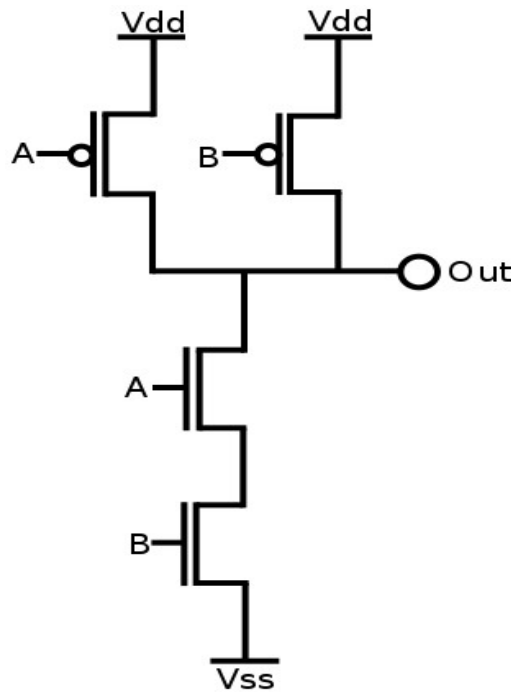
- IC-teknologiat ja logiikkaperheet.
- Logiikkapiirien ominaisuuksia.
  - Logiikkatasot ja häiriömarginaali.
  - Etenemisviive.
  - Ajokyky (fan-out).
- CMOS invertteri.
  - Staattinen toiminta
  - Tulon loogiset tasot ja häiriömarginaalit
  - Etenemisviive
  - Tehonkulutus
- CMOS logiikkaportit ja niiden suunnittelu

# IC-teknologiat ja logiikkaperheet

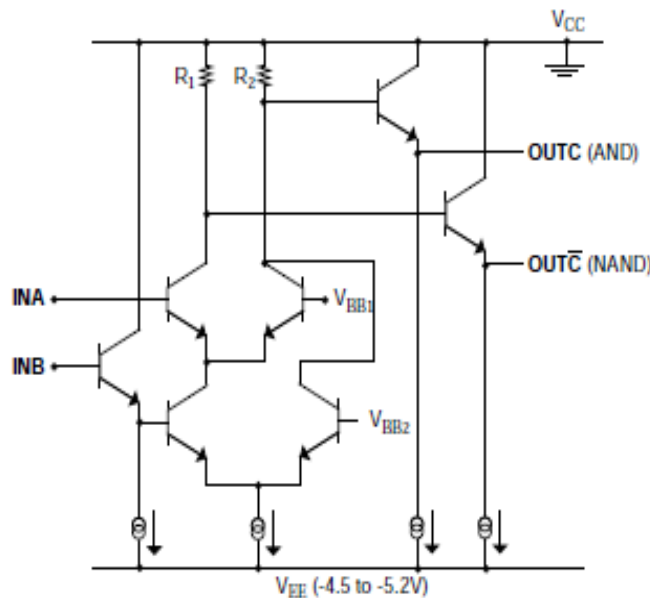
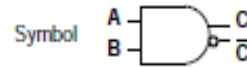
- IC-teknologia tarkoittaa yksinkertaistettuna sitä millaisia transistoreja on käytössä.
- Useimmilla teknologioilla voidaan toteuttaa loogisia funktiota usealla eri tavalla.
- Yhtenäistä toteutustapaa kutsutaan **logiikkaperheeksi**.
- Eri logiikkaperheet ovat tyypillisesti keskenään epäyhteensopivia.
  - Esim. ECL piiri ei voi suoraan ajaa CMOS piiriä.



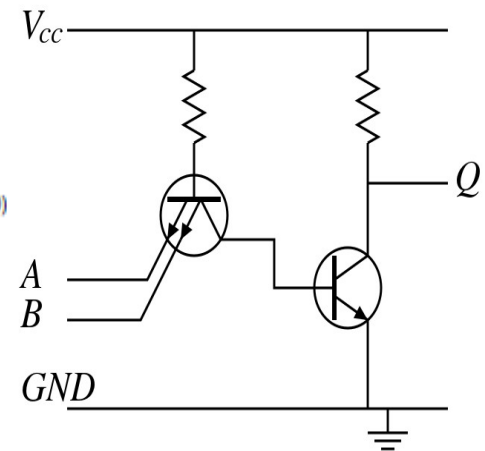
# Esimerkkejä logiikkaperheistä



Komplementaarinen  
CMOS NAND



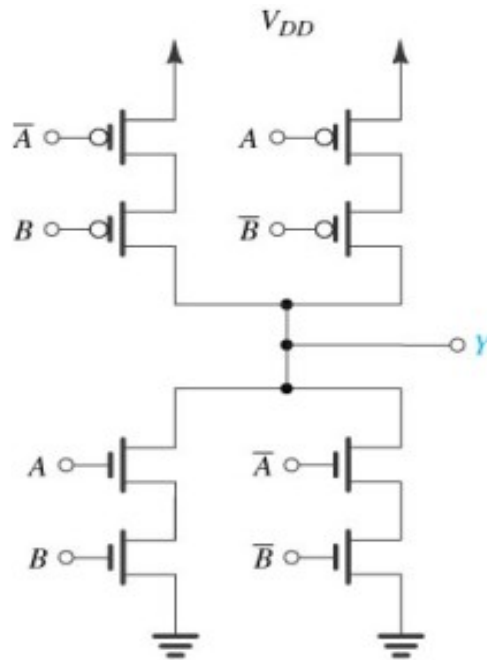
ECL NAND



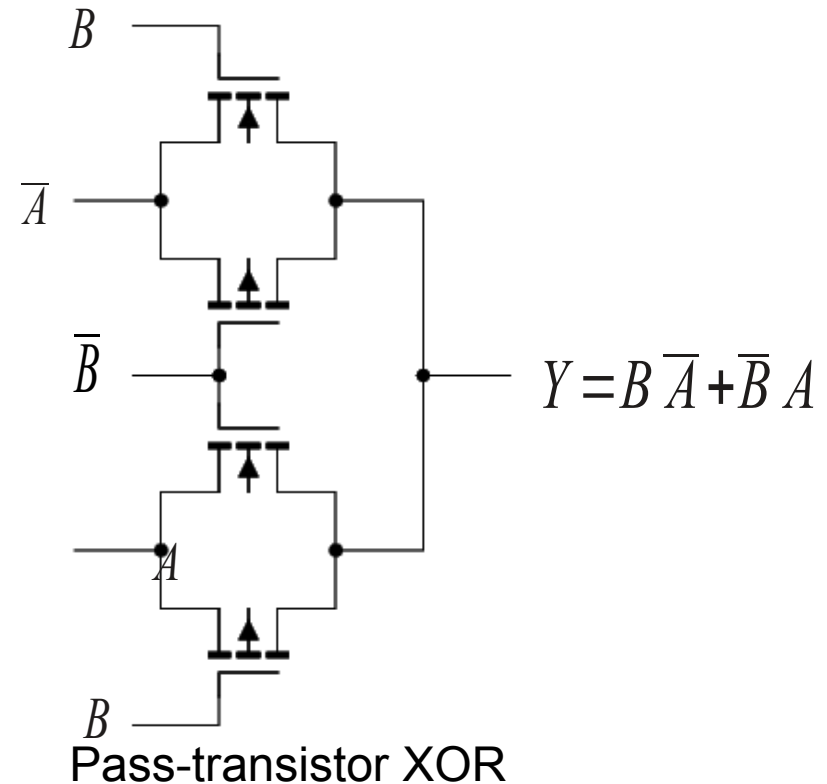
TTL NAND

# Esimerkki logiikkaperheiden eduista

- XOR-funktio, jota esiintyy paljon esim. summaimessa, on yksinkertaisempi toteuttaa pass-transistor logiikalla.



Komplementaarinen CMOS  
XOR



Pass-transistor XOR

# Logiikkaperheet: CMOS

- Melkein kaikki maailman digitaalielektroniikka perustuu CMOS-tekniologiaan.
  - Komplementaarinen CMOS on ylivoimaisesti tavallisin logiikkaperhe.
    - Matala staattinen tehonkulutus.
    - Hyvä häiriösiETOisuus.
    - Prosessien viivanleveyksien pienentyminen on jatkuvasti tihentänyt ja nopeuttanut CMOS piirejä.
    - Synnyttää häiriöitä käyttöjännitteisiin ja substraattiin.
  - Muilla CMOS logiikkaperheillä erikoistuneita sovelluksia.
    - **Pseudo-ECL**: nopea, mutta paljon tehoa kuluttava. Yksinkertaisia funktioita
    - **Pass-transistor logiikka**: tehokas pinta-alan käyttö, soveltuvuus riippuu funktiosta. Soveltuu hyvin: Multipleksaus, dekodaus, xor-funktio.
    - **Dynaaminen logiikka**: nopeaa, herkempää häiriöille.
-



# Muut teknologiat

- **Bipolaari:**
  - TTL oli 70-luvulla dominoiva logiikkaperhe.
    - Vaatii 5V:n käyttöjännitteen.
    - Kuluttaa paljon tehoa ja vie paljon pinta-alaa.
    - Hitaampaa kuin CMOS.
    - CMOS laajalti syrjäyttänyt TTL:n.
  - ECL on nopein logiikkaperhe.
    - Kuluttaa (todella) paljon tehoa ja pinta-alaa.
    - CMOS teknologialla voidaan toteuttaa samantapaista logiikkaa, jota kutsutaan CML:ksi tai pseudo-ECL:ksi.
    - Herkkä häiriöille.
    - Ei tuota häiriöitä samalla tavalla kuin CMOS.
  - **GaAs**-transistorit ovat nopeampia kuin piitransistorit.
    - Tutkittu kauan, mutta ei edelleenkään kaupallista merkitystä digitaalipiireissä.
-

# Logiikkaperheet

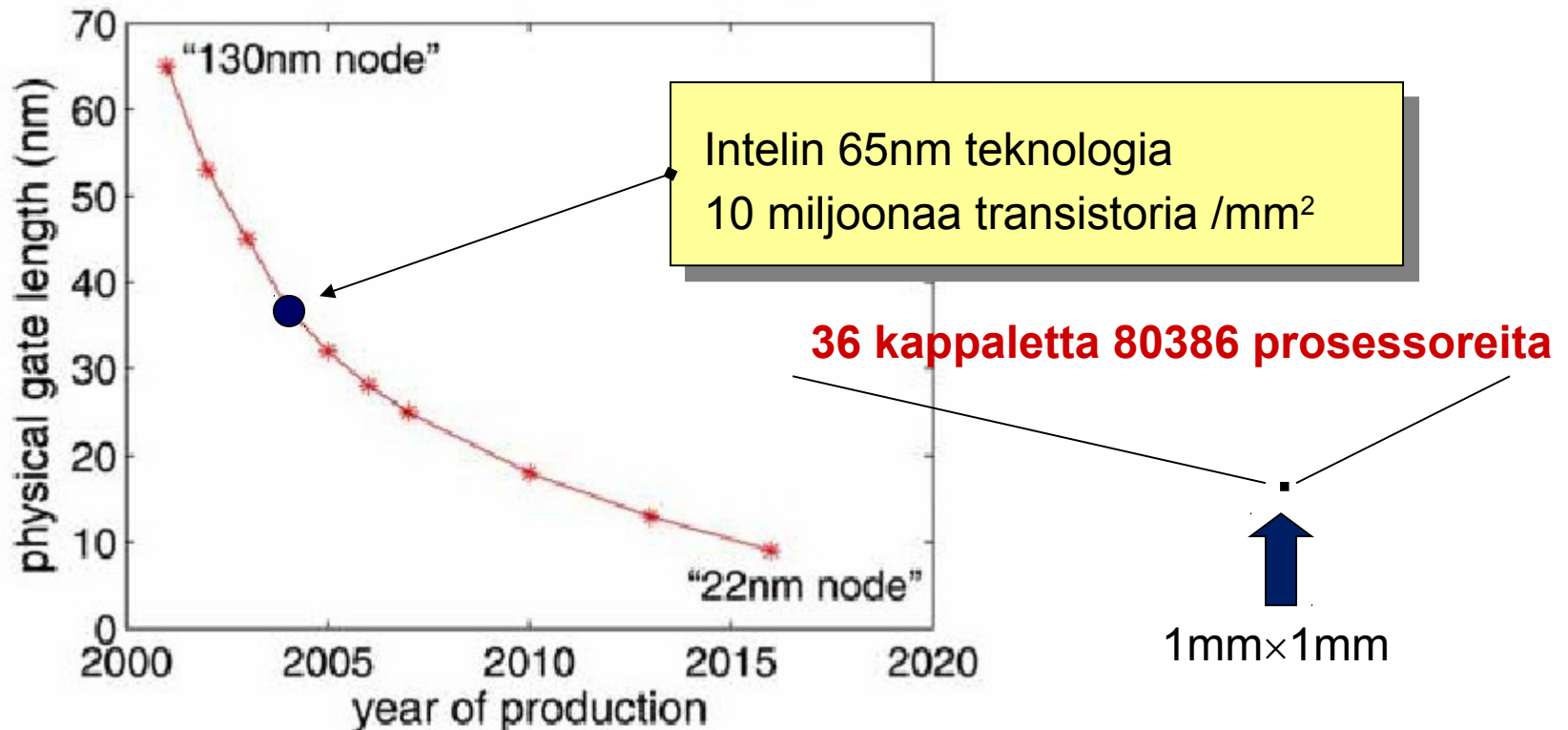
Tärkein anti:

- Logiikkaperheitä on muitakin kuin CMOS
- Moderni CMOS on varsinkin monimutkaiseen digitaalisuunnitteluun kehitetty logiikkaperhe
  - Matala tehonkulutus ja samanaikaisesti kohtuullisen nopeat transistorit
  - myös “kohtalaiset” analogiaominaisuudet
    - Kokonaiset järjestelmät voidaan integroida yhdelle CMOS piirille → merkittävät kustannus-, pinta-ala- sekä tehonkulutus säästöt

# CMOS teknologian kehitys

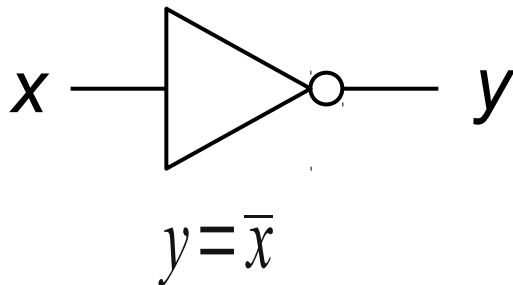
- Integroitujen piirien tiheys on kaksinkertaistunut 18 kuukauden välein.
- Kutistumisen ennustetaan jatkuvan vuoteen 20XX.

Minimum Feature Size Following ITRS\*

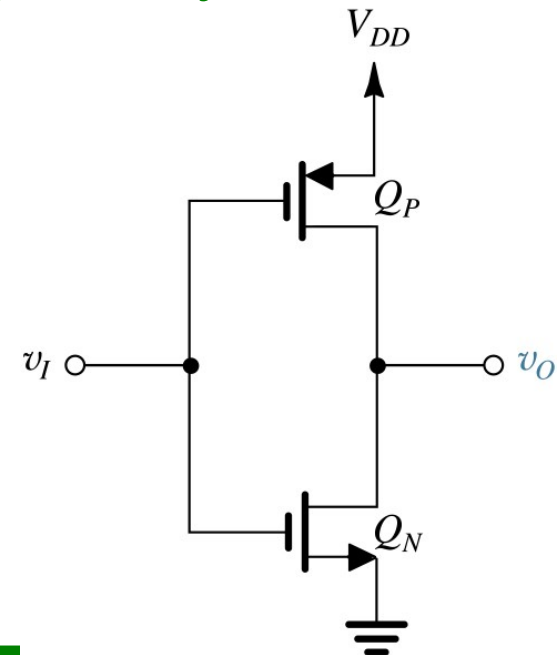


# Yksinkertaisin logiikkaportti: invertteri

- Monet logiikkaporttien ominaisuuksista ovat kaikille porteille yhteisiä.
- Tutkitaan yksinkertaisinta mahdollista logiikkaporttia, invertteriä.
- Loogiset arvot '0' ja '1' pitää suhteuttaa jonkin fyysikaalisen suureen tunnettuihin arvoihin.

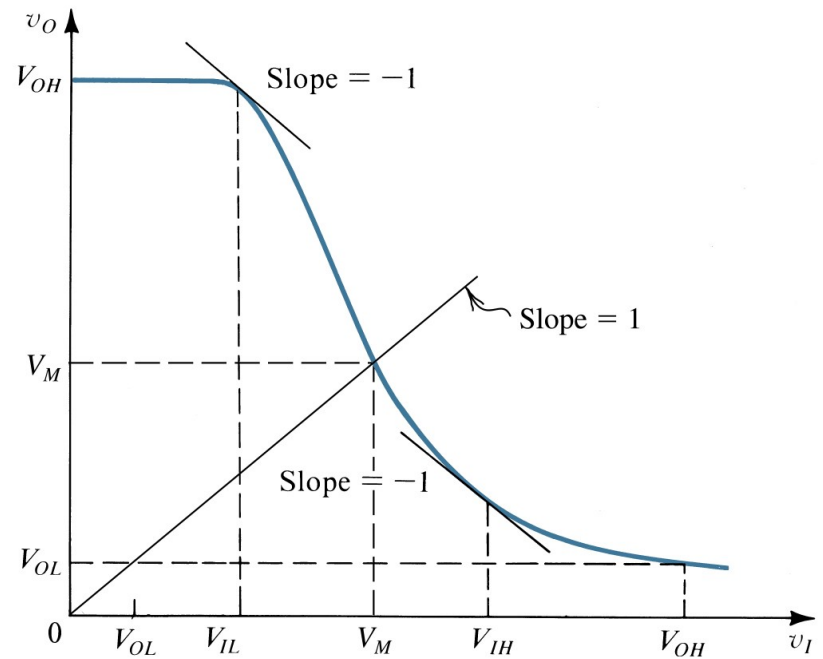
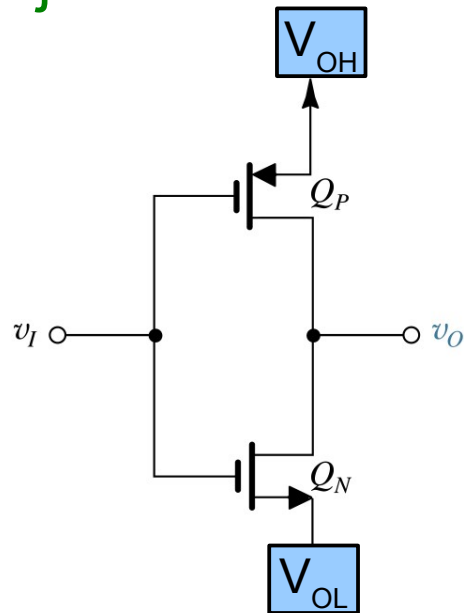


$x$	$y$
0	1
1	0



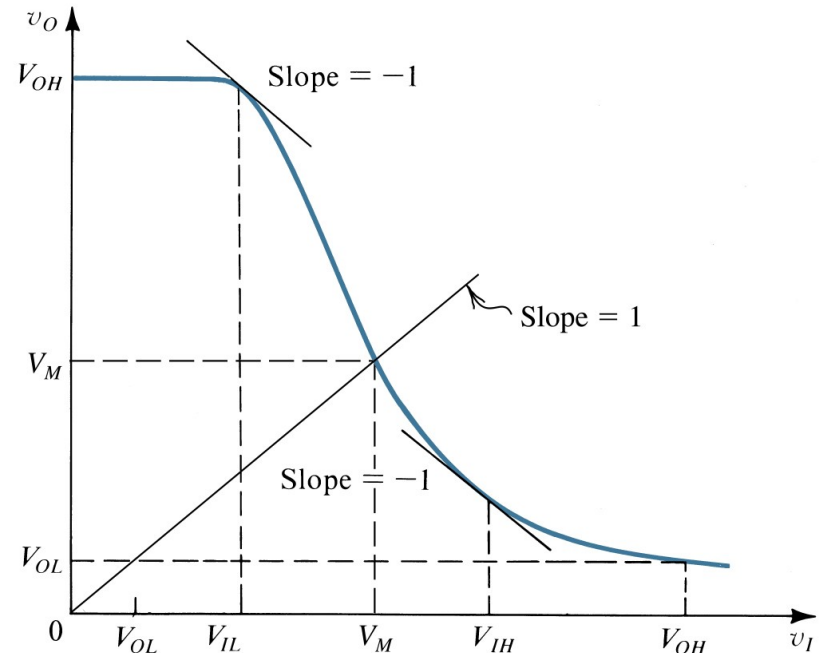
# Invertterin jännitteen siirtokäyrä

- Kun  $v_i = V_{OL}$   $\rightarrow v_o = V_{OH}$
- Kun  $v_i = V_{OH}$   $\rightarrow v_o = V_{OL}$
- Välissä kuitenkin tila jossa sekä NMOS että PMOS johtavat jonkin verran



# Invertterin jännitteen siirtokäyrä

- '0':n ja '1':n kynnsjännitteet tulossa määritellään pisteistä, joissa siirtokäyrän kulmakerroin on  $-1$ .
- Suuremmat jännitteet kuin  $V_{IH}$  ja pienemmät kuin  $V_{IL}$  eivät vahvistu.
- Väliin jää transiatioalue, jolla looginen taso ei ole määritelty.



$V_{OH}$ : korkein jännite, joka lähdössä voi olla

$V_{OL}$ : lähtöjännite, joka saadaan kun tulossa on  $V_{OH}$ .

$V_{IL}$ : tulo on nolla jos  $v_i \leq V_{IL}$

$V_{IH}$ : tulo on yksi jos  $v_i \geq V_{IH}$

# Häiriömarginaalit

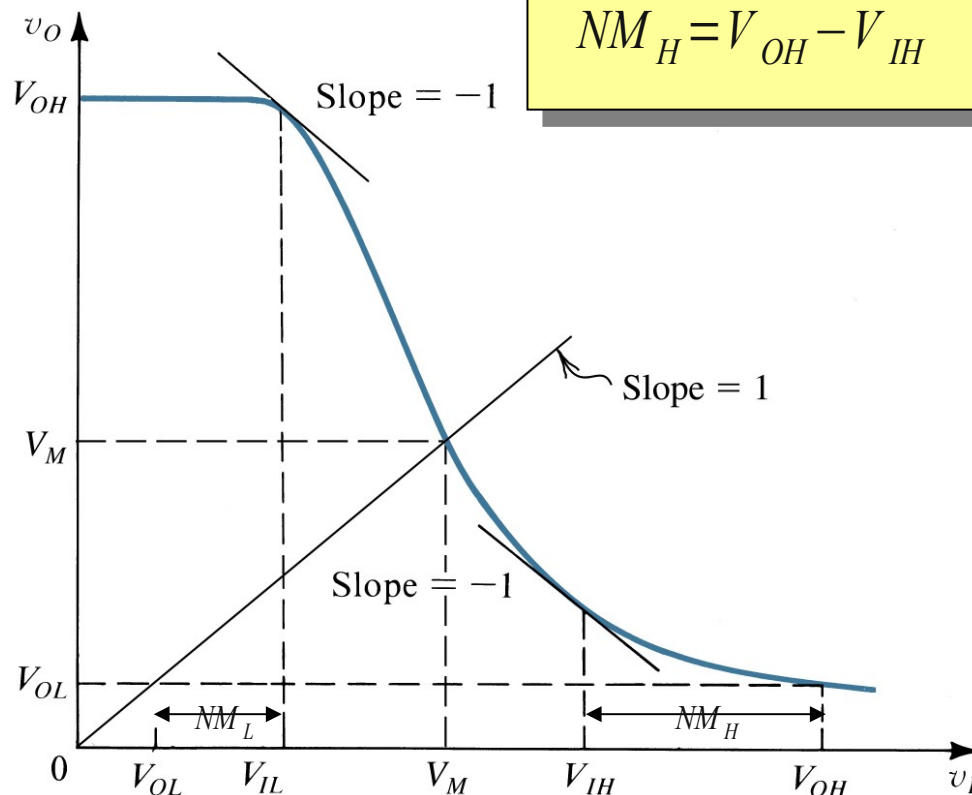
- Häiriömarginaalit kuvaavat sitä, miten paljon puhdas signaali saa muuttua, niin että se on vielä määritelty.

- $V_{OH}$  on korkein tulosignaali, joka ajavan portin lähdössä voi olla.

- Siitä alaspäin on tilaa  $NM_H$ :n verran ennen kuin tulosignaali muuttuu määrittelemättömäksi.

- $V_{OL}$  on matalin tulosignaali, joka ajavan portin lähdössä voi olla.

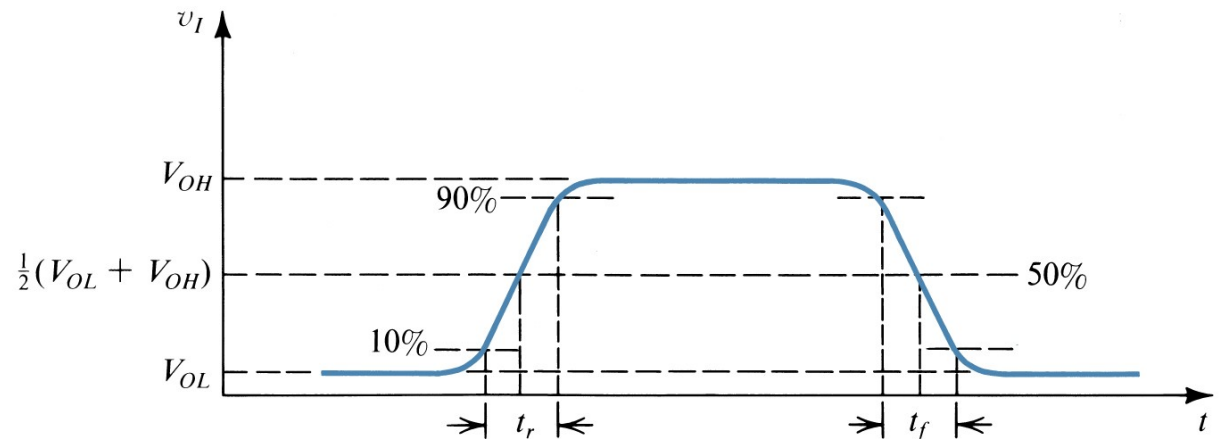
- Siitä ylöspäin on tilaa  $NM_L$ :n verran ennen kuin tulosignaali muuttuu määrittelemättömäksi.



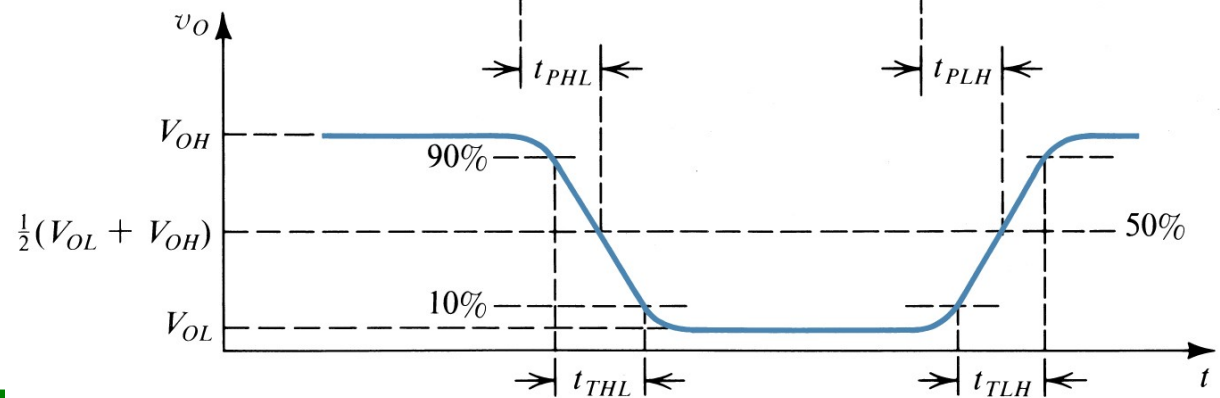
# Nousu- ja laskuaika

- Nousu- ja laskuaika määritellään ajaksi, jossa signaali muuttuu 10-90% nimellisten logiikkatasojen välillä.

Tulossa  $t_r$  ja  $t_f$ .



Lähdössä  $t_{THL}$  ja  $t_{TLH}$ .

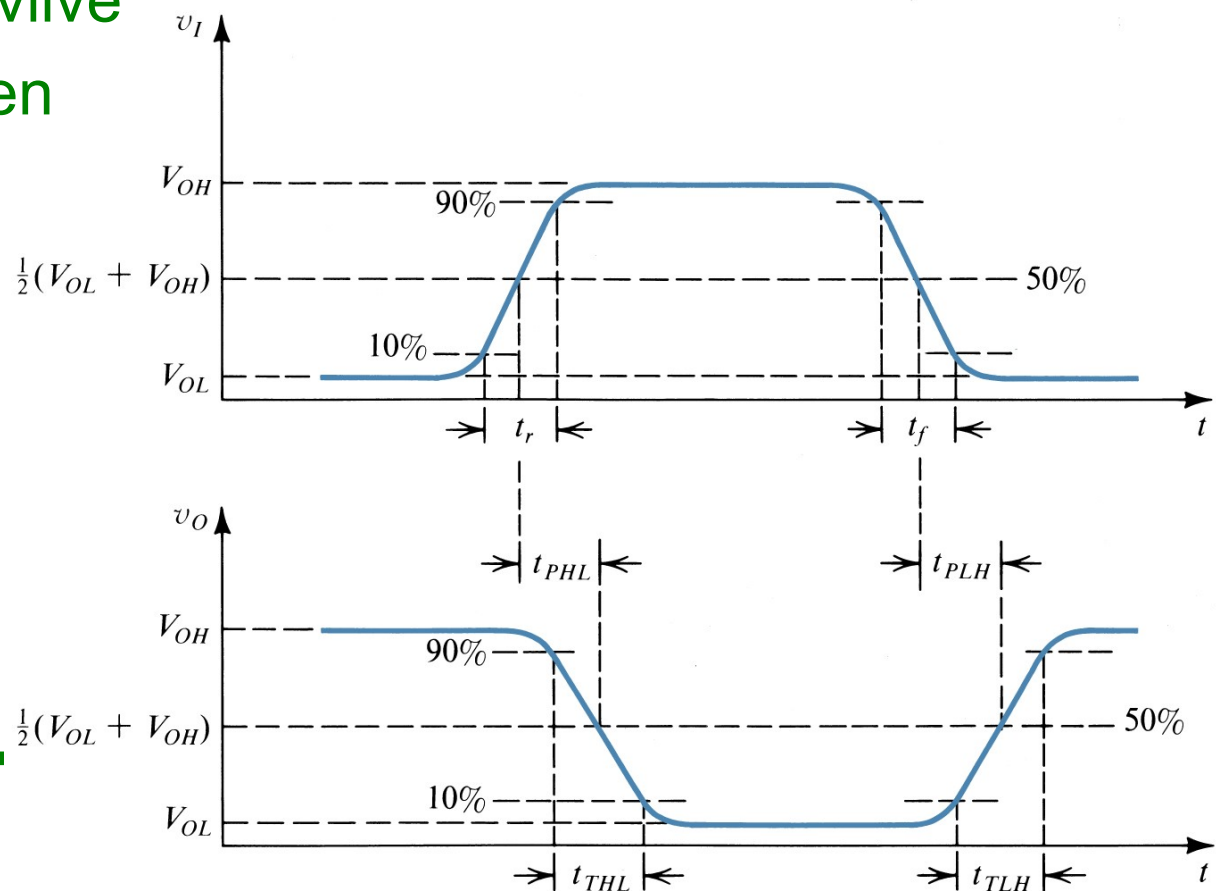




# Etenemisviive

- Etenemisviive määritellään tulon ja lähdön muutosten puolenvälin aikaerona.
- Eri etenemisviive lähdön nousulle ja laskulle:  $t_{PLH}$ ,  $t_{PHL}$
- Portin etenemisviive määritellään näiden keskiarvona

$$t_P = \frac{1}{2} (t_{PLH} + t_{PHL})$$



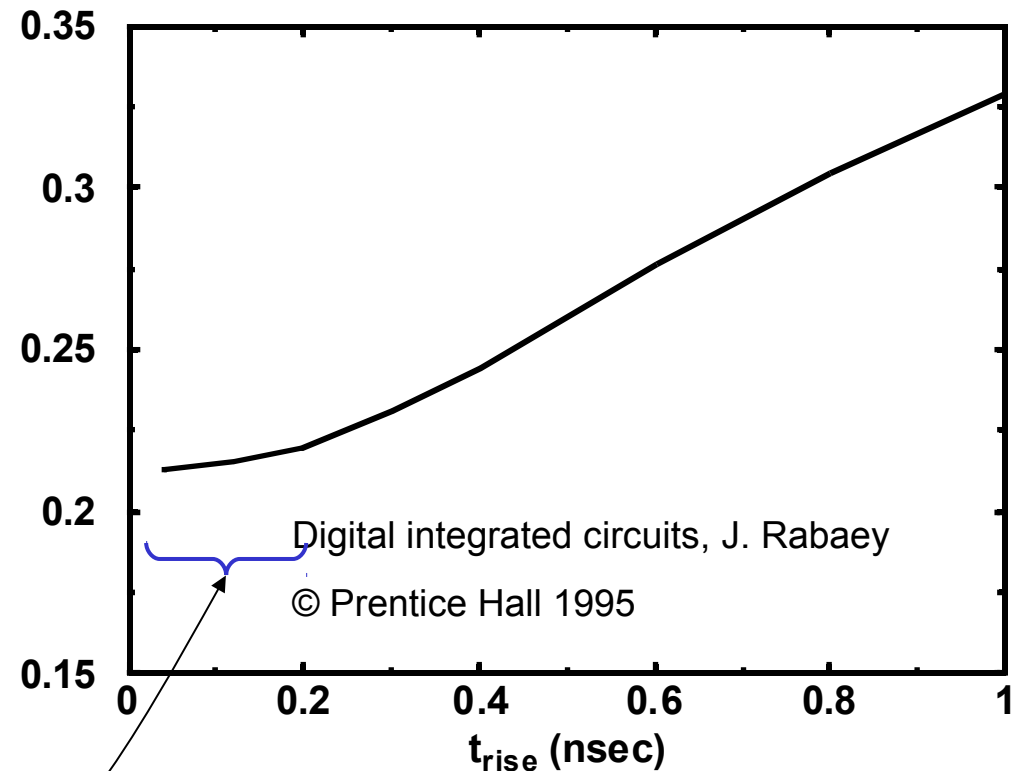
# Nousuajan vaikutus etenemisviiveeseen

- Nousuajan on oltava suuri suhteessa etenemisviiveeseen ennen kuin sen vaikutus kokonaisetenemisviiveeseen on merkittävä

Useimmissa laskuissa (esim. Sedra 4.10.3) lähdetään siitä, että muutos tulossa tapahtuu välittömästi.

Kuvaajan mukaan oletuksesta ei aiheudu suurta virhettä.

$t_{pHL}$  (nsec)



# Muita logiikkaporttien tunnuslukuja

- Viive-tehonkulutus tulo

$$DP = P_D t_P$$

- Logiikkaporttien tehonkulutusta voidaan laskea pidentämällä porttien viivettä.
- Tunnusluku, joka yhdistää viiveen ja tehonkulutuksen kuvaa paremmin logiikkaperheen tehokkuutta kuin luvut erikseen.

- Tiheys

- Mitä vähemmän tilaa logiikkaportit vievät, sitä enemmän niitä voidaan yhdistää samalle piipalalle.

- Ajokyky (Fan-out) (ja Fan-in=tulojen lukumäärä):

- Fan-out kuvaa kuinka montaa samanlaista porttia portti pystyy ajamaan.
- Etenkin BJT-teknologialla porteilla on DC fan-out rajoitus.
- CMOS piireillä rajoitus näkyy pelkästään AC:llä.
- Joskus puhutaan DC ja AC fan-outista.

# CMOS-invertteri

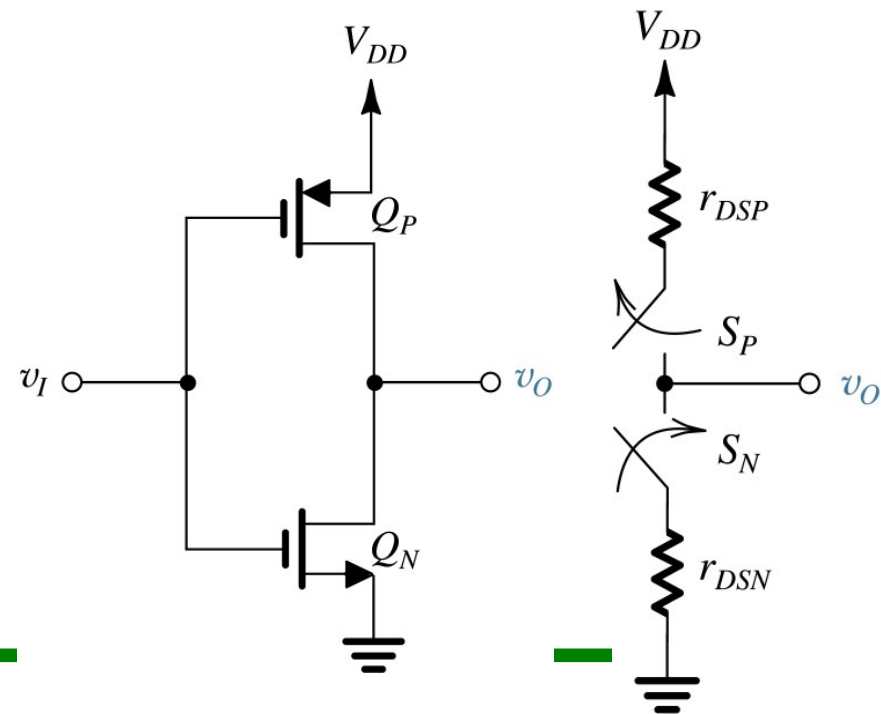
- CMOS invertteri koostuu NMOS ja PMOS transistoreista.
- CMOS piirien analyysiä yksinkertaistetaan usein käsittelemällä transistoreita kytkiminä.
- NMOS ja PMOS transistorit toimivat komplementaarisesti (vastakohtaisesti).
- P-kytkin johtaa, kun N-kytkin on avoin ja päinvastoin.
- CMOS invertterit suunnitellaan usein symmetrisiksi; vastusarvot  $r_{DSN} = r_{DSP}$ .

$$r_{DSN} = \frac{1}{k'_n W_n / L_n (V_{DD} - V_{tn})}$$

$$r_{DSP} = \frac{1}{k'_p W_p / L_p (V_{DD} - |V_{tp}|)} = r_{DSN}$$

$$\Rightarrow k'_n (W/L)_n = k'_p (W/L)_p \Rightarrow \frac{k'_n}{k'_p} = \frac{W_p}{W_n}$$

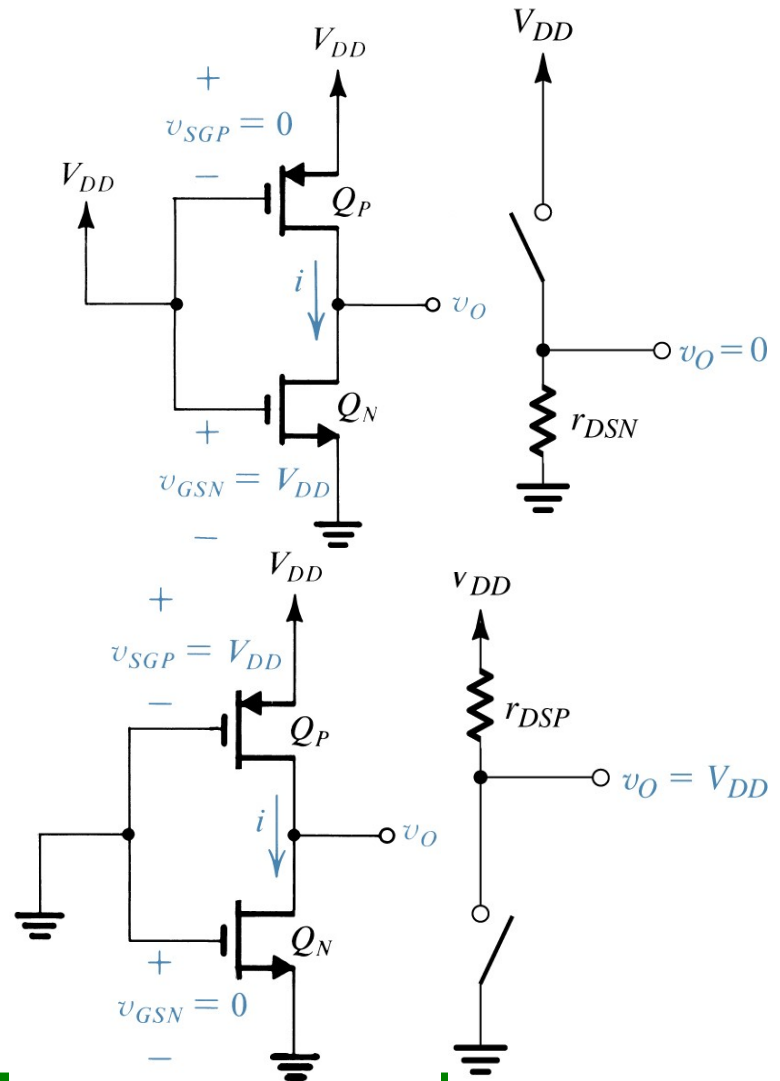
$$\text{kun } V_{tn} \approx |V_{tp}|$$



# CMOS-invertterin staattinen toiminta

- Tulossa korkea jännite ( $v_I = V_{DD}$ ):
  - NMOS kytkee lähdön maahan.
  - PMOS ei johda.
- Tulossa matala jännite ( $v_I = 0$ ):
  - PMOS kytkee lähdön  $V_{DD}$ :hen.
  - NMOS ei johda.
- Kummassakaan tilassa virtaa ei pääse  $V_{DD}$ :stä suoraan maahan.
- Kuormana on toinen CMOS piiri, jonka tulo puhtaasti kapasitiivinen.

⇒ Ei staattista virrankulutusta!



# CMOS-invertterin jännitesiirtokäyrä

- Johto: Sedra5 s.340-341
- Symmetrisen invertterin loogiset tulotasot:

$$V_{IH} = \frac{1}{8} (5V_{DD} - 2V_t)$$

$$V_{IL} = \frac{1}{8} (3V_{DD} + 2V_t)$$

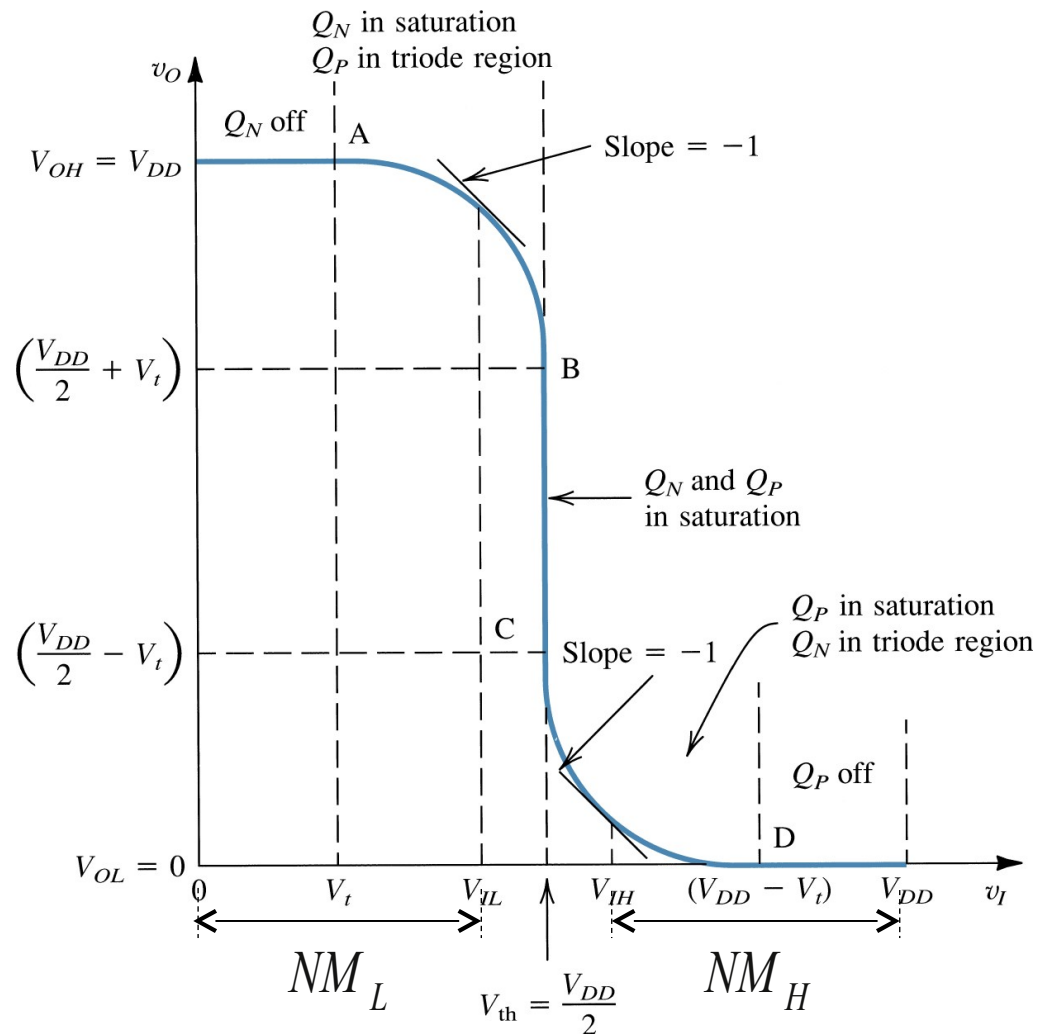
- Loogiset lähtötasot:

$$V_{OH} = V_{DD} \quad V_{OL} = 0$$

- Laajin mahdollinen signaalialue.

- Laajat häiriömarginaalit

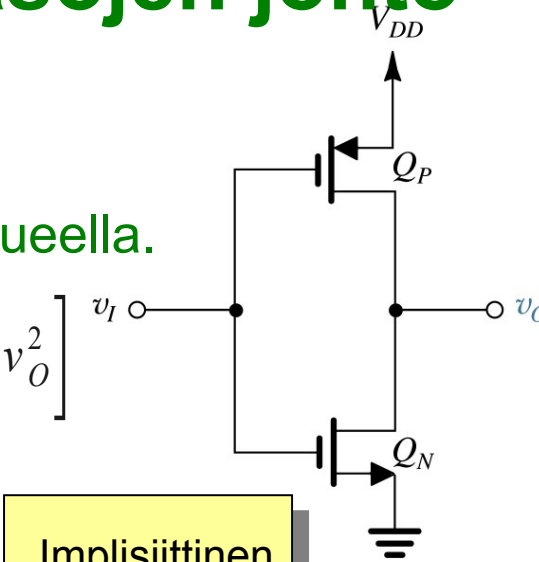
$$NM_H = NM_L = \frac{3}{8} \left( V_{DD} + \frac{2}{3} V_t \right)$$



# CMOS-invertterin loogisten tulotasojen johto

- Loogisen ykkösen raja ( $V_{IH}$ )
  - PMOS saturaatiossa, NMOS lineaarisella alueella.

$$i_{DP} = k'_p \frac{W_p}{2L_p} (v_I - V_{DD} - V_{tp})^2 \quad i_{DN} = k'_n \frac{W_n}{L_n} \left[ (v_I - V_{tn})v_O - \frac{1}{2}v_O^2 \right]$$



- Virtayhtälö lähdössä ( $V_{tn} = V_{tp}$ ):

$$i_{DN} = i_{DP} \Rightarrow (v_I - V_t)v_O - \frac{1}{2}v_O^2 = \frac{1}{2}(V_{DD} - v_I - V_t)^2 \quad \textcircled{1}$$

$$\Rightarrow (v_I - V_t) \frac{dv_O}{dv_I} + v_O - v_O \frac{dv_O}{dv_I} = -(V_{DD} - v_I - V_t)$$

Implisiittinen derivointi

Symmetrisuus

$$k'_n \frac{W_n}{L_n} = k'_p \frac{W_p}{L_p} \quad V_{tn} = -V_{tp}$$

$\textcircled{2}$

$$v_I = V_{IH} \quad \frac{dv_O}{dv_I} = -1$$

$$\Rightarrow -V_{IH} + V_t + v_O + v_O = -V_{DD} + V_{IH} + V_t$$

$$\Rightarrow v_O = V_{IH} - \frac{V_{DD}}{2} \quad \textcircled{3}$$

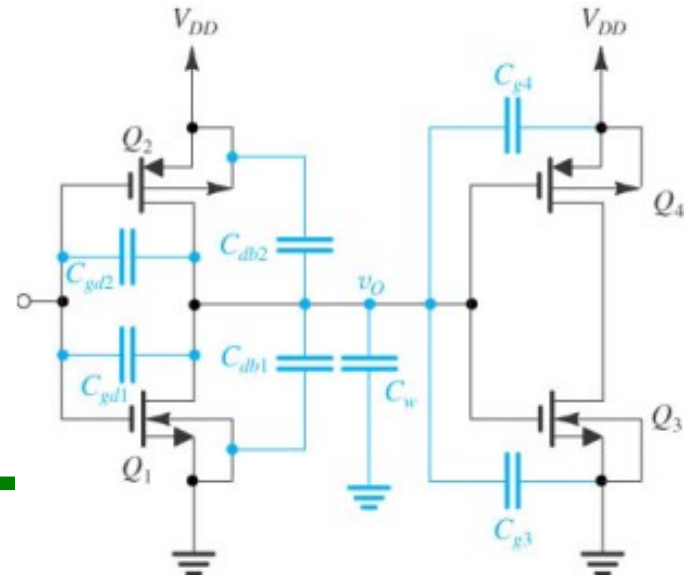
$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_t)$$

$$NM_L = V_{IL} - V_{OL}, \quad NM_H = V_{OH} - V_{IH}$$

# CMOS-invertterin dynaaminen toiminta

- Tilanvaihdossa CMOS invertteri lataa tai purkaa kaikki lähtöön kytketyt kapasitanssit loogisesta tilasta toiseen.
  - Varaus otetaan käyttöjännitteestä, kun lähtö nousee ylös.
  - Lähdön lasiessa varaus puretaan kapasitansseista maahan.
- Kapasitanssit
  - Lähdön nielu-substraatti kapasitanssit jänniteriippuvia.
  - Ohjattavien tulojen hilakapasitanssit myös jänniteriippuvia.
  - Johdotuksen kapasitanssi.
- Etenemisviive riippuu voimakkaasti kuormakapasitanssista.

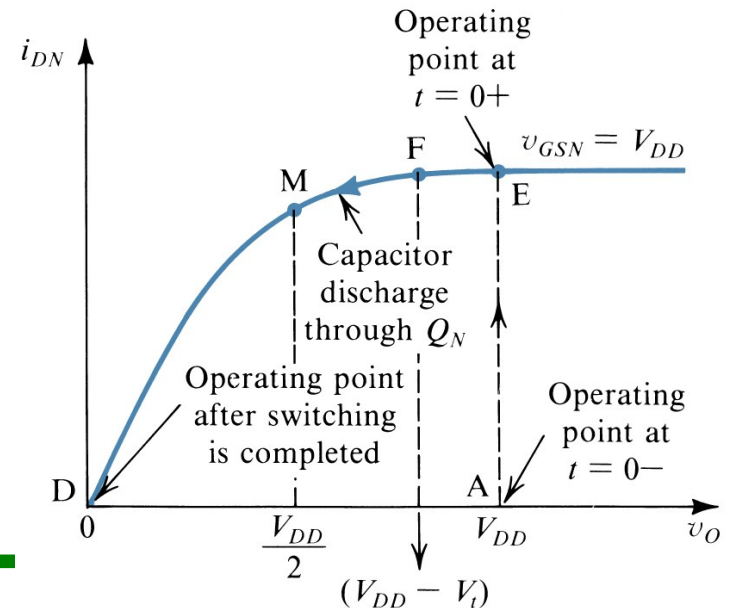
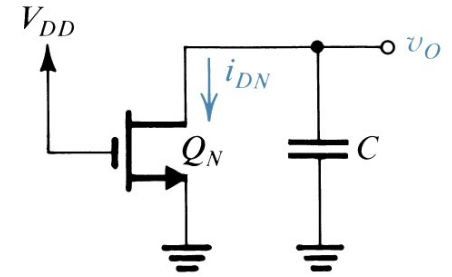
Ilmoitetaan usein käyttäen yksikköä ps/fF.





# CMOS-invertterin etenemisviiveen määrittäminen

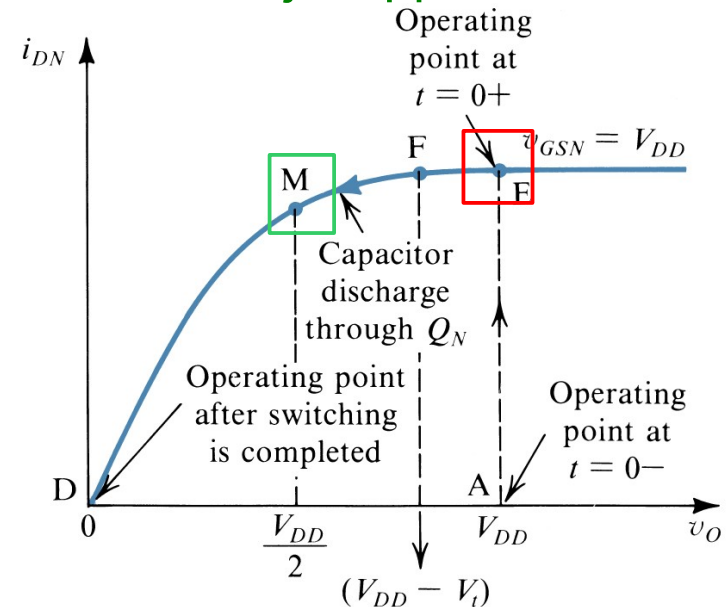
- Tarkastellaan HL-transitiota lähdössä askeltulolla.
- Alkutilassa PMOS-transistori on kiinni ja NMOS-transistori saturaatiossa.
- Kun lähtöjännite laskee  $V_{DD} - V_T$ :n alle, NMOS-transistori siirtyy lineaariselle alueelle.
- Etenemisviiveen tarkka määrittäminen vaatii epälineaarisen differentiaaliyhtälön ratkaisua.
- Sedra 4.10: 
$$t_{PHL} = \frac{1.6C}{k'_n \left(\frac{W}{L}\right)_n V_{DD}}$$
- Etenemisviive riippuu lineaarisesti kuormakapasitanssista  $C$ .



# Yksinkertaistetty etenemisviiveen määrittäminen

- Koska kapasitanssit ovat epälineaarisia, on tarkkaa tulosta vaikea laskea.
- Melkein samaan tulokseen pääsee yksinkertaisemmin korvaamalla muuttuva purkuvirta keskimääräisellä virralla  $I_{av}$ .
  - Lopputulos riippuu varauksen kokonaismäärästä.
- Approksimoidaan keskimääräistä virtaa virran alku- ja loppuvaiheiden keskiarvolla.

$$I_{av} = \frac{I(t=0) + I(t=t_{PHL})}{2}$$



# Yksinkertaistetty etenemisviiveen määrittäminen

- Approksimoidaan keskimääräistä virtaa virran alku- ja loppuvaiheiden keskiarvolla.
- Oletetaan  $V_t = 0.2V_{DD}$

$$I_{av} = \frac{I(t=0) + I(t=t_{PHL})}{2}$$

Saturaatio

$$I(t=0) = \frac{k'_n W}{2L} (V_{DD} - V_t)^2 = 0.32 \frac{k'_n W}{L} V_{DD}^2$$

Lineaari

$$I(t=t_{PHL}) = \frac{k'_n W}{L} \left[ (V_{DD} - V_t) \frac{V_{DD}}{2} - \frac{1}{2} \left( \frac{V_{DD}}{2} \right)^2 \right] = 0.275 \frac{k'_n W}{L} V_{DD}^2$$

$$t_{PHL} \approx \frac{C}{I_{av}} \Delta V \Rightarrow t_{PHL} \approx \frac{C}{I_{av}} \frac{V_{DD}}{2} \approx \frac{1.7C}{k'_n \left( \frac{W}{L} \right)_n V_{DD}}$$

# Tauko

# Tehonkulutus

- CMOS piirien tehonkulutus voidaan jakaa kahteen eri luokkaan:
  - Dynaaminen tehonkulutus.
    - Joka kerran kun CMOS portin lähtö vaihtaa tilaansa edestakaisin, sen kuormakapasitanssi pitää ladata ja purkaa.
    - Aina kun CMOS portin lähtö vaihtaa tilaa, sen läpi kulkee hetkellinen oikosulkuvirta.
  - Staattinen vuotovirta.
    - Vuotovirta on hyvin pieni, mutta sillä on merkitystä, jos transistoreja on paljon (esim.  $10^8$ ) ja piiri on pitkiä aikoja passiivisena.

# Dynaaminen tehonkulutus

- Lähtötilanteessa kuormakapasitanssin  $C$  jännite on nolla.
- LH-transitiossa PMOS lataa kapasitanssin ja siirtää siihen varauksen  $\Delta Q$ .

$$\Delta Q = C_L \Delta V = C_L V_{DD}$$

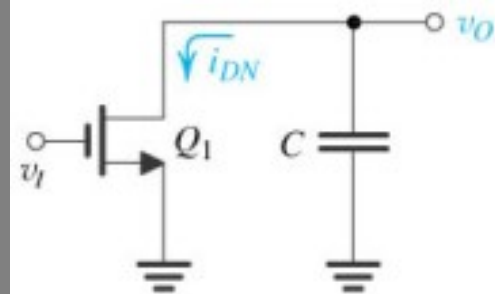
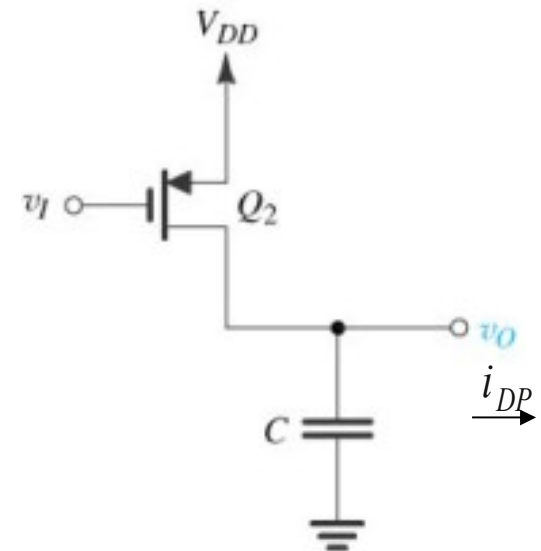
- HL-transitiossa varaus puretaan NMOS-transistorin kautta maahan.
- Käyttöjännitteestä ei kulje virtaa eikä siis myöskään kulu tehoa.
- Keskimääräinen virta:

$$I_{av} = \frac{\Delta Q}{\Delta t} = C_L \cdot V_{DD} \cdot f_{tr}$$

- Tehonkulutukseksi saadaan

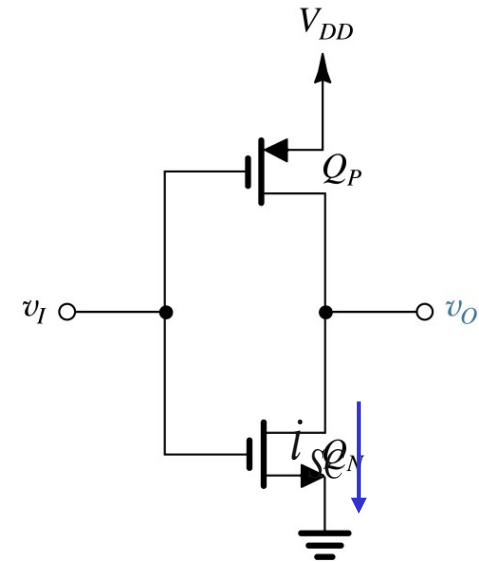
$$P = UI_{av} = f_{tr} \cdot C_L \cdot V_{DD}^2$$

$f_{tr}$  on transitiotaajuus. Digitaalipiirejä suunniteltaessa transitioiden määrä pyritään usein minimoimaan.



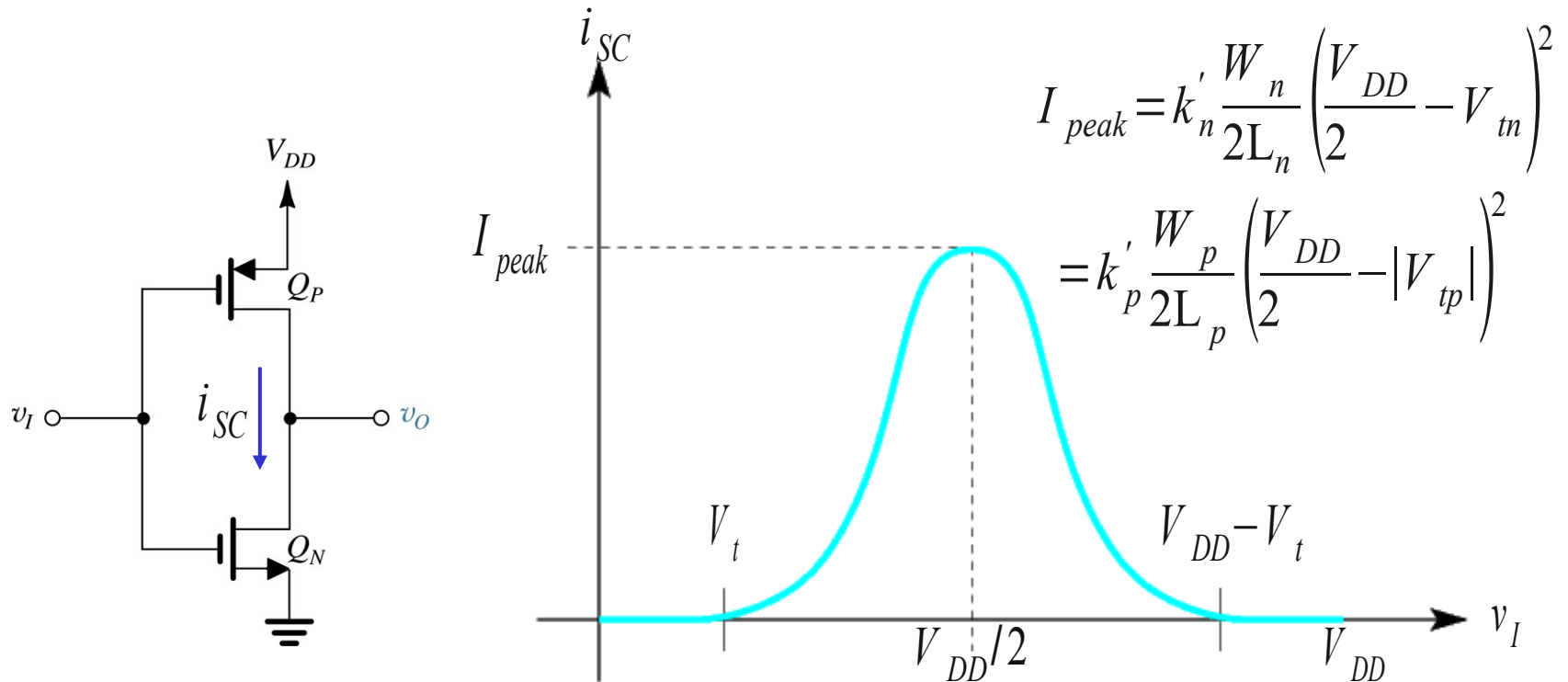
# Dynaaminen tehonkulutus: oikosulkuvirta

- CMOS portti ei vaihda välittömästi tilaansa.
- Käyttöjännite kytkeytyy hetkeksi maahan portin lävitse.
  - Tapahtuu molemmissa lähdön transiatioissa kun molemmat transistorit ovat lineaaritulassa tai saturaatiossa.
- Jos tulon nousuaika on nopea, on aikaikkuna kapea ja hukattu kokonaisvaraus pieni.



# Dynaaminen tehonkulutus: oikosulkuvirta

- Huippuvirta noin arvolla  $V_{DD}/2$  koska silloin molemmat transistorit ovat saturaatiossa





# Teknologiaskaalauksen vaikutuksesta

- CMOS teknologioiden viivanleveys on kaventunut jatkuvasti.
- Transistorien kapasitanssit pienenevät.
  - Se miten kapasitanssi pienenee L:n funktiona ei ole ihan yksinkertaista.
- Piirit sekä kuluttavat vähemmän tehoa, että ovat nopeampia.
  - Kaavoista voidaan myös nähdä, että muutostaajuudella ja etenkin käyttöjännitteellä on voimakas vaikutus tehonkulutukseen.
  - Matalan tehonkulutuksen laitteissa molempia säädetään dynaamisesti tehonkulutuksen minimoimiseksi.

$$P = f_{tr} \cdot C_L \cdot V_{DD}^2$$

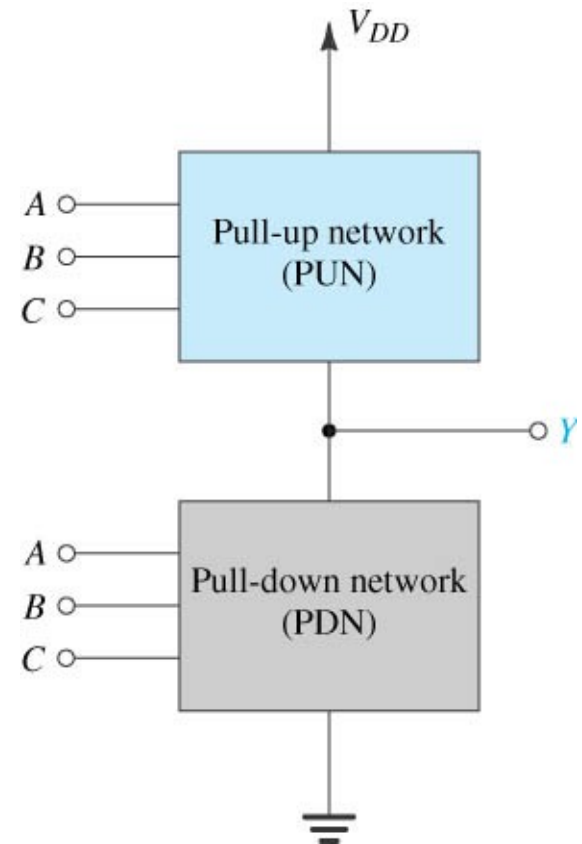
$$t_{PHL} = \frac{1.6C}{k'_n \left( \frac{W}{L} \right)_n V_{DD}}$$

# CMOS logiikkaportit



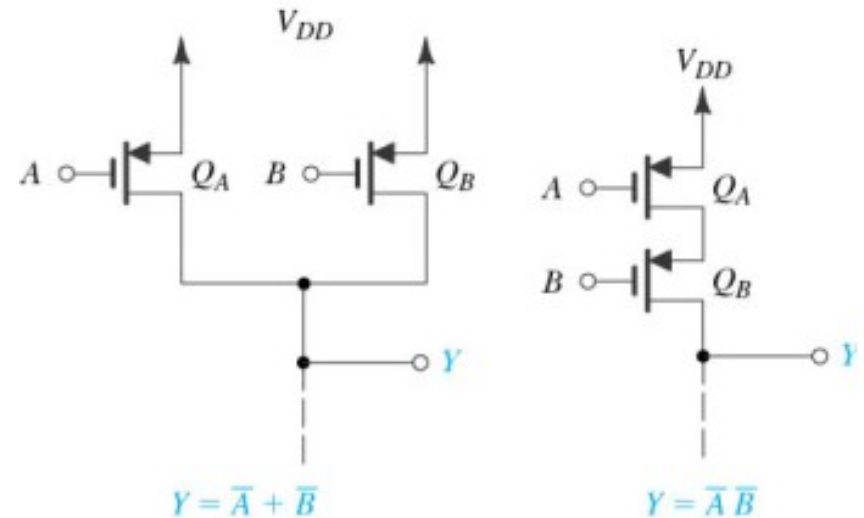
# CMOS logiikkaportit

- Komplementäärinen CMOS logiikkaportti on suora laajennus invertterin toimintaperiaatteesta.
- Portti koostuu alas- ja ylösvetoverkoista joilla on samat tulot.
- Alasvetoverkossa (PDN) on pelkästään NMOS-transistoreja.
- Ylösvetoverkossa (PUN) on pelkästään PMOS-transistoreja.
- Verkot suunnitellaan toiminnaltaan komplementaariseksi niin, että ne eivät johda samaan aikaan.



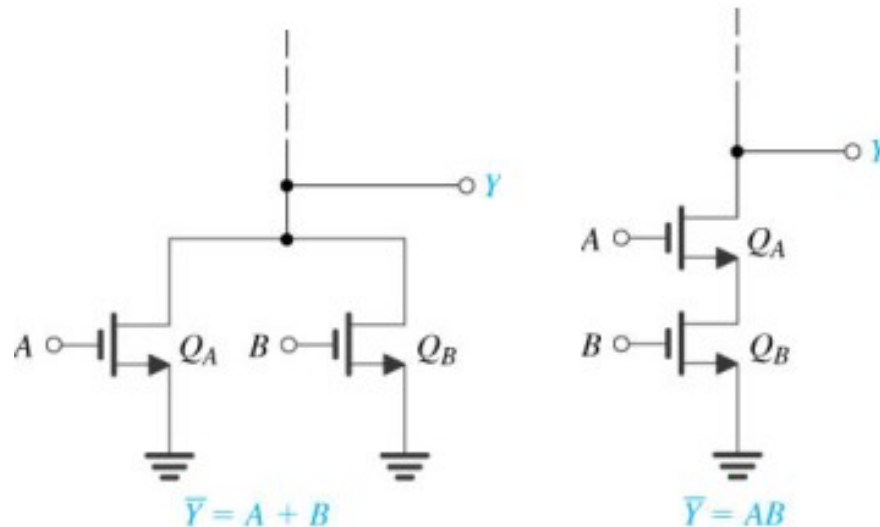
# PD- ja PU-verkkoja

- PMOS-transistorit johtavat ja vetävät lähdön ylös kun tulo on matala.
- Tulojen looginen inversio.
  - Eli kun  $A=0 \rightarrow Y=1$
  - Eli  $Y = \bar{A}$



# PD- ja PU-verkkoja

- NMOS-transistorit kytkevät johtaessaan lähdön maahan.
- Funktion lähdön looginen inversio.
  - Kun tulo  $A=1$  -->  $Y=0$
  - Eli  $\bar{Y} = A$



# Yhteenveto CMOS logiikkaporttien synteesisistä

1. Ilmaistaan funktio  $Y$  invertoitujen muuttujien avulla ja muodostetaan PUN.
  - $Y(\overline{A}, \overline{B}, \overline{C} \dots)$
2. Ilmaistaan invertoitu funktio  $Y$  ei-invertoitujen muuttujien avulla ja muodostetaan PDN.
  - $\overline{Y}(A, B, C \dots)$
3. Jos funktiota ei voida ilmaista puhtaasti vain ei-invertoitujen tai invertoitujen muuttujien avulla tarvitaan tulossa ylimääräisiä inverttereitä.
4. Duaalisuus

# Kaksituloinen NOR-portti

De Morgan:

$$\overline{A+B} = \overline{A} \cdot \overline{B}$$

$$\overline{AB} = \overline{A} + \overline{B}$$

- Kaksituloinen NOR-funktio

$$Y = \overline{A+B} = \overline{A} \cdot \overline{B}$$

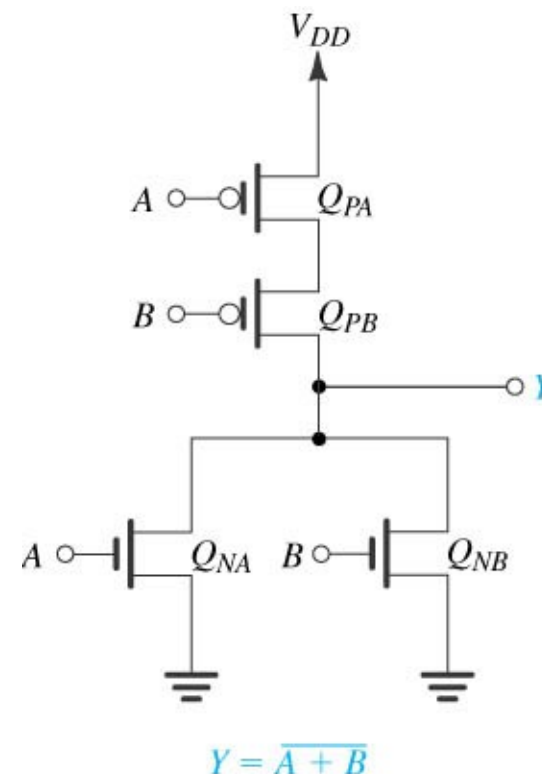
- Ylösvetoverkkona kaksi sarjaankytkettyä PMOS-transistoria:

$$Y = \overline{A} \cdot \overline{B}$$

- Alasvetoverkkona kaksi rinnakkaista NMOS-transistoria:

$$\overline{Y} = A+B \Rightarrow Y = \overline{A+B}$$

- Voisiko toimia toisinpäin?



# Kaksituloinen NOR-portti (toisin päin)

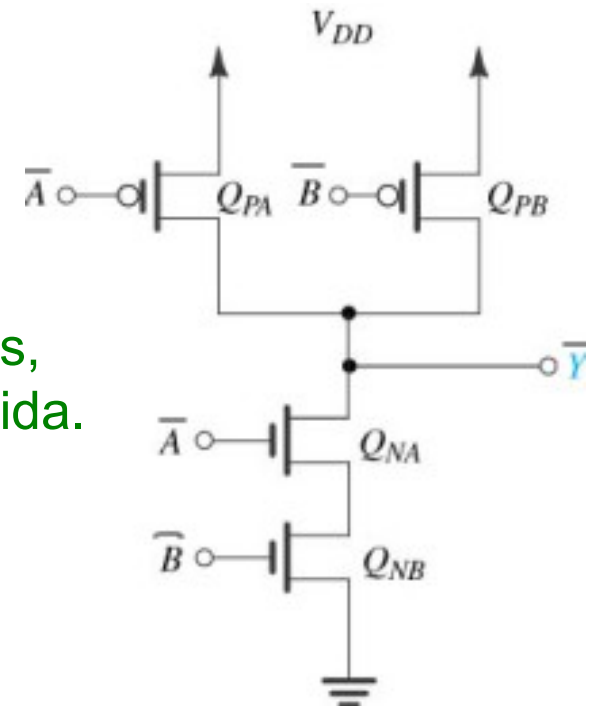
- Rinnakkainen ylösvetoverkko:

$$\bar{Y} = \bar{\bar{A}} + \bar{\bar{B}} \Rightarrow \bar{Y} = A + B$$

- Sekä PMOS:ien tulot, että lähtö on invertoitava erikseen, jotta saadaan NOR-funktio.
- Samoin käy alaspvetoverkolle:

$$\bar{\bar{Y}} = \bar{A} \cdot \bar{B} \Rightarrow \bar{\bar{Y}} = \overline{\bar{A} + \bar{B}} \Rightarrow \bar{Y} = A + B$$

- Mahdollinen, mutta ei kovin järkevä toteutus, koska molemmat tulot ja lähtö pitää invertoida.



De Morgan:

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

$$\overline{\bar{A} \bar{B}} = \bar{\bar{A}} + \bar{\bar{B}}$$



# Kaksituloinen NAND

De Morgan:

$$\overline{A+B} = \overline{A} \cdot \overline{B}$$

$$\overline{AB} = \overline{A} + \overline{B}$$

- Kyseessä on kaksituloinen NAND kun kaikki inversiot poistetaan.

$$\overline{Y} = A \cdot B = \overline{\overline{A \cdot B}} = \overline{\overline{A} + \overline{B}}$$

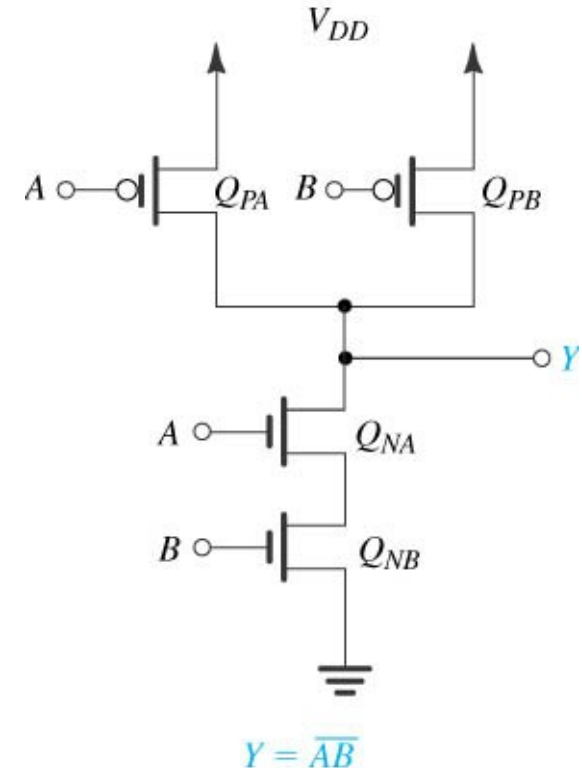
- Alasvetoverkko:

$$\overline{Y} = A \cdot B \leftarrow \text{ei-invertoidut muuttujat!}$$

- Ylösvetoverkko:

$$Y = \overline{A+B} \Rightarrow \overline{Y} = \overline{\overline{A+B}} \Rightarrow \overline{Y} = A \cdot B$$

invertoidut muuttujat!



# XOR

- Tärkeä looginen funktio, jota tarvitaan esimerkiksi summaajissa.

$$Y = A \cdot \bar{B} + \bar{A} \cdot B$$

- Mahdollista muodostaa yhdistämällä yksinkertaisempia portteja.
- Valitettavasti molempia muuttujia ei saa invertoiduiksi tai ei-invertoiduiksi millään.
- Koska Y on annettu muodostetaan PUN.
- PDN saadaan muokattua invertoimalla lauseke:

$$\bar{Y} = \overline{A \cdot \bar{B} + \bar{A} \cdot B} = \overline{A \cdot \bar{B}} \cdot \overline{\bar{A} \cdot B}$$

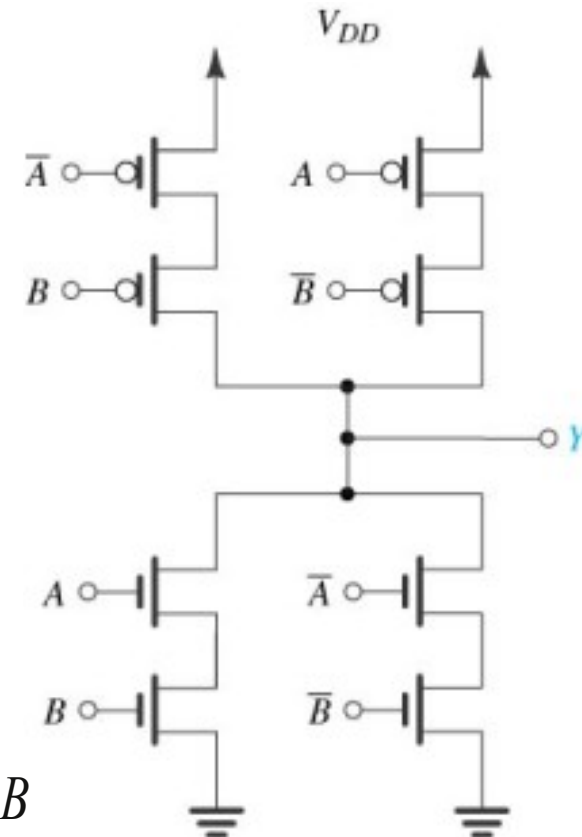
$$\bar{Y} = \overline{A \cdot \bar{B}} \cdot \overline{\bar{A} \cdot B} = (\bar{A} + B) \cdot (\bar{\bar{A}} + \bar{B})$$

$$\bar{Y} = (\bar{A} + B) \cdot (A + \bar{B}) = A \bar{A} + \bar{A} \cdot \bar{B} + A \cdot B + B \bar{B} = \bar{A} \cdot \bar{B} + A \cdot B$$

De Morgan:

$$\overline{A + B} = \bar{A} \cdot \bar{B}$$

$$\overline{AB} = \bar{A} + \bar{B}$$



# Luennon 10 oppimistavoite

- Tietää CMOS-invertterin rakenteen. (0,25h)
- Ymmärtää CMOS-invertterin staattinen toiminta. (0,5h)
- Ymmärtää käsitteet “etenemisviive”, nousuaika, “laskuaika”, ja “häiriömarginaali”. (0,5h)
- Osaa johtaa CMOS invertterin etenemisviiveen yksinkertaistetun mallin ja laskea etenemisviiveen tällä mallilla. (0,25h)
- Tietää CMOS-invertterin dynaamiseen toimintaan vaikuttavien kapasitanssien olemassaolo. (0,25h)
- Osaa laskea arvion CMOS-piirin tehonkulutukselle kuormakapasitanssin, vaihtelutaajuuden, ja käyttöjännitteen funktiona. (0,25h)
- Osaa muodostaa transistoreista loogisen logiikkaportin (1h)

Mitoitus:  $2+2+2+3=9h$